

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Kunisato YAMAOKA, et al. :
Serial No.: Group Art Unit:
Filed: July 17, 2003 Examiner:
For: FERROELECTRIC MEMORY DEVICE AND METHOD FOR READING DATA FROM THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

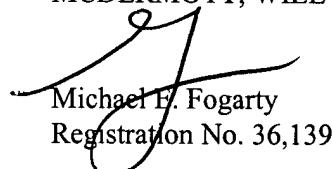
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-209580, filed July 18, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael H. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: July 17, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-585

July 17, 2003

YAMAOKA et al.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 7月18日

出願番号

Application Number:

特願2002-209580

[ST.10/C]:

[JP2002-209580]

出願人

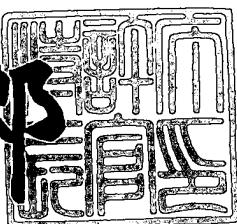
Applicant(s):

松下電器産業株式会社

2003年 6月11日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3045521

【書類名】 特許願

【整理番号】 5037840010

【提出日】 平成14年 7月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/22

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 山岡 邦吏

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 平野 博茂

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 村久木 康夫

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体記憶装置及びその読み出し方法

【特許請求の範囲】

【請求項1】 それが第1のビット線及び第2のビット線からなる複数のビット線対と、

前記ビット線対ごとの電位差を増幅する複数のセンスアンプと、

前記複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタ並びにソース及びドレインがそれぞれ該強誘電体キャパシタの第1電極及び前記第1のビット線と接続されたトランジスタによって構成されたメモリセルと、

前記複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタ並びにソース及びドレインがそれぞれ該強誘電体キャパシタの第1電極及び前記第2のビット線と接続されたトランジスタによって構成され、互いに隣接するビット線対同士で互いに異なるデータを保持するリファレンスセルと、

前記メモリセルにおけるトランジスタのゲート同士を接続するワード線と、

前記リファレンスセルにおけるトランジスタのゲート同士を接続するリファレンスワード線と、

前記メモリセルにおける強誘電体キャパシタの第2電極同士を接続するセルプレート線と、

前記リファレンスセルにおける強誘電体キャパシタの第2電極同士を接続するリファレンスセルプレート線と、

前記メモリセル、リファレンスセル及びセンスアンプの読み出し動作を制御する制御回路とを備え、

前記制御回路は、前記センスアンプの駆動中には前記リファレンスワード線を非活性状態にすることを特徴とする強誘電体記憶装置。

【請求項2】 前記複数のビット線対において、互いに隣接するビット線対の前記第2のビット線同士を接続するスイッチ回路をさらに備え、

前記制御回路は、前記センスアンプの駆動中には前記スイッチ回路を駆動しないことを特徴とする請求項1に記載の強誘電体記憶装置。

【請求項3】 前記制御回路は、前記スイッチ回路を駆動すると共に前記ワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いて前記セルプレート線及びリファレンスセルプレート線を非活性化し、次に前記リファレンスワード線を非活性化した後に前記スイッチ回路の駆動を停止し、その後前記センスアンプを駆動することを特徴とする請求項1又は2に記載の強誘電体記憶装置。

【請求項4】 前記制御回路は、前記スイッチ回路を駆動すると共に前記ワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いて前記セルプレート線及びリファレンスセルプレート線を非活性化し、次に前記スイッチ回路の駆動を停止した後に前記リファレンスワード線を非活性化し、その後前記センスアンプを駆動することを特徴とする請求項2に記載の強誘電体記憶装置。

【請求項5】 前記制御回路は、前記スイッチ回路を駆動すると共に前記ワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いて前記リファレンスワード線を非活性化した後に前記スイッチ回路の駆動を停止し、次に前記セルプレート線及び前記リファレンスセルプレート線を非活性化し、その後前記センスアンプを駆動することを特徴とする請求項2に記載の強誘電体記憶装置。

【請求項6】 前記制御回路は、前記スイッチ回路を駆動すると共に前記ワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いて前記スイッチ回路の駆動を停止した後に前記リファレンスワード線を非活性化し、次に前記セルプレート線及びリファレンスセルプレート線を非活性化し、その後前記センスアンプを駆動することを特徴とする請求項2に記載の強誘電体記憶装置。

【請求項7】 前記制御回路は、前記ワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線の活性化よりも前に前記スイッチ回路の駆動を開始することを特徴とする請求項3～6に記載の強誘電体記憶装置

【請求項8】 前記制御回路は、前記リファレンスワード線及びリファレン

スセルプレート線を所定の期間活性化した後、前記スイッチ制御回路を所定の期間駆動し、その後前記センスアンプを駆動することを特徴とする請求項2に記載の強誘電体記憶装置。

【請求項9】 それが、第1のビット線及び第2のビット線からなる複数のビット線対と、複数のビット線対の電位差を増幅する複数のセンスアンプと、複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタと、ソース及びドレインがそれぞれ該強誘電体キャパシタの第1電極及び第1のビット線と接続されたトランジスタとによって構成されたメモリセルと、複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタと、ソース及びドレインがそれぞれ該強誘電体キャパシタの第1電極及び第2のビット線と接続されたトランジスタとによって構成され、隣接するビット線対同士で互いに異なるデータを保持するリファレンスセルと、複数のビット線対において、互いに隣接するビット線対の第2のビット線同士を接続するスイッチ回路と、メモリセルにおけるトランジスタのゲート同士を接続するワード線と、リファレンスセルにおけるトランジスタのゲート同士を接続するリファレンスワード線と、メモリセルにおける強誘電体キャパシタの第2電極同士を接続するセルプレート線と、リファレンスセルにおける強誘電体キャパシタの第2電極同士を接続するリファレンスセルプレート線と、メモリセル、リファレンスセル、スイッチ回路及びセンスアンプの読み出し動作を制御する制御回路とを備えた強誘電体記憶装置の読み出し方法であって、

前記ワード線及びリファレンスワード線を活性化する第1の工程と、

前記セルプレート線及びリファレンスセルプレート線を所定の期間活性化する第2の工程と、

前記スイッチ回路を駆動するためのスイッチ制御信号を活性化する第3の工程と、

前記第1の工程よりも後に、前記リファレンスワード線を非活性化する第4の工程と、

前記第3の工程よりも後に、前記スイッチ制御信号を非活性化する第5の工程と、

前記第4の工程よりも後に前記センスアンプを所定の期間駆動する第6の工程を備えていることを特徴とする強誘電体記憶装置の読み出し方法。

【請求項10】 前記第6の工程は前記第5の工程よりも後に行われるを特徴とする請求項9に記載の強誘電体記憶装置の読み出し方法。

【請求項11】 前記第3の工程は前記第2の工程よりも後に開始されることを特徴とする請求項9又は10に記載の強誘電体記憶装置の読み出し方法。

【請求項12】 前記第2の工程は前記第3の工程よりも後に行われることを特徴とする請求項9又は10に記載の強誘電体記憶装置の読み出し方法。

【請求項13】 前記第3の工程は前記第6の工程の開始後まで継続して行われることを特徴とする請求項11又は12に記載の強誘電体記憶装置の読み出し方法。

【請求項14】 前記第1の工程は前記第3の工程よりも後に行われることを特徴とする請求項11～14のうちのいずれか1項に記載の強誘電体記憶装置の読み出し方法。

【請求項15】 前記第3の工程は前記第4の工程よりも後に行われることを特徴とする請求項9又は10に記載の強誘電体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセルに強誘電体キャパシタを用いる強誘電体記憶装置及びその読み出し方法に関し、特に互いに異なるデータを保持する2つのリファレンスセルにより基準電位を生成する強誘電体記憶装置及びその読み出し方法に関する。

【0002】

【従来の技術】

近年、容量絶縁膜が強誘電体からなる、いわゆる強誘電体キャパシタの残留分極を利用してデータを保持する強誘電体記憶装置の開発が進んでいる。強誘電体記憶装置のメモリセルとして、これまで、2つのトランジスタを用いて2つの強誘電体キャパシタに相補データを保持する2トランジスタ2キャパシタ型のメ

モリセルが主に用いられているが、最近では、データの大容量化が要求されていることやプロセス技術が微細化されたことにより、1トランジスタ1キャパシタ型のメモリセルが採用されている。

【0003】

このような1トランジスタ1キャパシタ型のメモリセルでは、メモリセルからデータが読み出されたビット線に対し、対となるビット線に基準電位（リファレンスレベル）を与えて、2つのビット線の電位差をセンスアンプを用いて増幅することによりデータの読み出しが行われる。例えば、特開平7-262768号公報には、このような1トランジスタ1キャパシタ型の強誘電体記憶装置として、互いに異なるデータを保持する2つのリファレンスセルを用いて基準電位を生成する強誘電体記憶装置が開示されている。

【0004】

以下に、1トランジスタ1キャパシタ型のメモリセルを用いた従来の強誘電体記憶装置について図面を参照しながら説明する。

【0005】

図9は従来の強誘電体記憶装置の回路構成を示している。図9に示すように、従来の強誘電体記憶装置は、データを保持するメモリセルとして、それぞれがゲートがワード線WL1, WL2と接続され且つドレインがビット線BL1～BL4と接続されたトランジスタT1～T4及び第1電極がトランジスタT1～T4のソースと接続され且つ第2電極が第1のセルプレート線CP1, CP2と接続された強誘電体キャパシタC1～C4からなる第1のメモリセル101、第2のメモリセル102、第3のメモリセル及び第4のメモリセル104を備えている。

【0006】

また、基準電位生成用のデータを保持するメモリセルとして、それぞれが、ゲートがリファレンスワード線RWL1, RWL2と接続され且つドレインがビット線BL1～BL4と接続されたトランジスタT5～T8及び第1電極がトランジスタT5～T8のソースと接続され且つ第2電極がリファレンスセルプレート線RCP1, RCP2と接続された強誘電体キャパシタC5～C8からなるから

なる第1のリファレンスセル105、第2のリファレンスセル106、第3のリファレンスセル107及び第4のリファレンスセル108が設けられている。

【0007】

第1のリファレンスセル105、第2のリファレンスセル106、第3のリファレンスセル107及び第4のリファレンスセル108には、それぞれに所定のデータを書き込むための回路として、それぞれがドレインが強誘電体キャパシタC5～C8の第1電極と接続されたトランジスタT9～T12からなる第1のリセット回路109、第2のリセット回路110、第3のリセット回路111及び第4のリセット回路112が設けられている。

【0008】

また、第1のビット線BL1及び第3のビット線BL3はトランジスタT13からなる第1のスイッチ回路113を介して互いに接続され、第2のビット線BL2及び第4のビット線BL4はトランジスタT14からなる第2のスイッチ回路114を介して互いに接続されている。

【0009】

第1のビット線BL1及び第2のビット線BL2は、2つのトランジスタT15、T16からなる第1のプリチャージ回路115と接続されると共に、第1のセンスアンプ116にビット線対として接続されている。同様に、第3のビット線BL3及び第4のビット線BL4は、2つのトランジスタT17、T18からなる第2のプリチャージ回路117と接続されると共に、第2のセンスアンプ118にビット線対として接続されている。

【0010】

また、前述の各回路を制御するための制御回路119が設けられており、第1のワード線WL1、第2のワード線WL2、第1のセルプレート線CP1、第2のセルプレート線CP2、第1のリファレンスワード線RWL1、第2のリファレンスワード線RWL2、第1のリファレンスセルプレート線RCP1及び第2のリファレンスセルプレート線RCP2を駆動し、各メモリセル及び各リファレンスセルの動作を制御する。

【0011】

また、制御回路119は、第1のリセット制御信号RPG1により第1のリセット回路109及び第3のリセット回路111を制御し、第2のリセット制御信号RPG2により第2のリセット回路110及び第4のリセット回路112を制御し、第1のスイッチ制御信号REQ1により第1のスイッチ回路113を制御し、第2のスイッチ制御信号REQ2により第2のスイッチ回路114を制御し、プリチャージ信号BPにより第1のプリチャージ回路115及び第2のプリチャージ回路117を制御し、またセンスアンプ起動信号SAEにより第1のセンスアンプ116及び第2のセンスアンプ118を制御する。

【0012】

以下、従来の強誘電体記憶装置の読み出し動作について図面を参照しながら説明する。ここでは、第1のメモリセル101及び第3のメモリセル103にはそれぞれ“1”データ及び“0”データが保持されているとし、また第2のリファレンスセル106及び第4のリファレンスセル108にはそれぞれ“1”データ及び“0”データが保持されているとして、第1のメモリセル101及び第3のメモリセル103に書き込まれたデータを読み出す場合について図10を用いて説明する。

【0013】

ここで、各メモリセル及びリファレンスセルにおいて、それぞれの強誘電体キャパシタC1～C8が第1電極が正極となる残留分極を有する場合を“1”データとし、第2電極が正極となる残留分極を有する場合を“0”データとする。

【0014】

図10は従来の強誘電体記憶装置における読み出し動作の動作タイミングを示している。図10に示すように、まず、初期状態として、ビット線プリチャージ信号BPを活性状態（論理電圧“H”レベル）とすることにより、第1のプリチャージ回路115及び第2のプリチャージ回路117を駆動して各ビット線（すなわち、第1のビット線BL1、第2のビット線BL2、第3のビット線BL3及び第4のビット線BL4）を接地電圧Vssにプリチャージする。このとき、第1のワード線WL1、第1のセルプレート線CP1、第2のリファレンスワード線RWL2、第2のリファレンスセルプレート線RCP2、第2のスイッチ制御

信号REQ2、第2のリセット制御信号RPG2、リセットデータ信号RPD及びセンスアンプ起動信号SAEは非活性状態（論理電圧“L”レベル）である。

【0015】

そして、時刻t1のタイミングにおいて、ビット線プリチャージ信号BPDを非活性化することにより、各ビット線BL1～BL4をすべてフローティング状態にする。

【0016】

次に、時刻t2のタイミングにおいて、第2のスイッチ制御信号REQ2、第1のワード線WL1、第1のセルプレート線CP1、第2のリファレンスワード線RWL2及び第2のリファレンスセルプレート線RCP2を活性化する。

【0017】

これにより、トランジスタT1、T3がオンされると共に強誘電体キャパシタC1、C3の第2電極に“H”レベルの電圧が印加されて、第1のメモリセル101及び第3のメモリセル103に保持された“1”データ及び“0”データがそれぞれ第1のビット線BL1及び第3のビット線BL3に出力される。また、トランジスタT6、T8がオンされると共に強誘電体キャパシタC6、C8の第2電極に“H”レベルの電圧が印加されて、第2のリファレンスセル106及び第4のリファレンスセル108に保持された“1”データ及び“0”データがそれぞれ第2のビット線BL2及び第4のビット線BL4に出力される。

【0018】

このとき、第2のスイッチ制御信号REQ2の活性化により第2のスイッチ回路114が駆動して第2のビット線BL2と第4のビット線BL4とがイコライズされているため、第2のビット線BL2及び第4のビット線BL4には、“1”データに対応する電位と“0”データに対応する電位との中間の電位が基準電位（リファレンスレベル）として出力される。

【0019】

次に、時刻t3のタイミングにおいて、第1のセルプレート線CP1及び第2のリファレンスセルプレート線RCP2を非活性化する。

【0020】

次に、時刻 t_4 のタイミングにおいて、センスアンプ起動信号 S A E を活性化して第1のセンスアンプ 116 及び第2のセンスアンプ 118 を駆動させる。これにより、第1のビット線 B L 1 が電源電圧 Vcc となり且つ第2のビット線 B L 2 が接地電圧 Vss となるまで増幅され、第3のビット線 B L 3 と第4のビット線 B L 4 との電位差は、第3のビット線 B L 3 が接地電圧 Vss となり且つ第4のビット線 B L 4 が電源電圧 Vcc となるまで増幅される。

【0021】

このとき、第1のワード線 W L 1 は活性状態であるため、トランジスタ T 1, T 3 を介して強誘電体キャパシタ C 1, C 3 の第1電極にそれぞれ電源電圧 Vcc 及び接地電圧 Vss が供給されるため、第1のメモリセル 101 及び第3のメモリセル 103 に対する再書き込みが行われる。

【0022】

その後、第2のリファレンスワード線 R W L 2 及び第2のスイッチ制御信号 R E Q 2 を順次非活性化する。これにより、トランジスタ T 6, T 8 をオフ状態として第2のリファレンスセル 106 及び第4のリファレンスセル 108 を第2のビット線 B L 2 及び第4のビット線 B L 4 から切り離した後、第2のスイッチ回路 114 を停止して第2のビット線 B L 2 と第4のビット線 B L 4 とを遮断する。

【0023】

続いて、リセットデータ信号 R P D 及び第2のリセット制御信号 R P G 2 を順次活性状態にすることにより、第2のリセット回路 110 及び第4のリセット回路 112 を用いて第2のリファレンスセル 106 及び第4のリファレンスセル 108 への再書き込みを行う。このとき、第2のリファレンスセル 106 においては、強誘電体キャパシタ C 6 の第1電極に接地電圧 Vss が供給されているため“0”データが書き込まれ、また第4のリファレンスセル 108 においては、強誘電体キャパシタ C 8 の第1電極にリセットデータ信号 R P D として“H”レベルの電圧が供給されることため“1”データが書き込まれる。

【0024】

次に、時刻 t_5 のタイミングにおいて、センスアンプ起動信号 S A E を非活性

化して第1のセンスアンプ116及び第2のセンスアンプ118を停止した後、第2のリファレンスセルプレート線RCP2を活性化する。これにより、第4のリファレンスセル108の強誘電体キャパシタC8に印加される電圧は、第1電極にはリセットデータ信号RPDから“H”レベルの電圧が供給され、且つ第2電極には第2のリファレンスセルプレート線RCP2から“H”レベルの電圧が供給されるため0Vとなる。

【0025】

その後、ビット線プリチャージ信号BPを活性化すると共に、第2のリファレンスセルプレート線RCP2、第1のワード線WL1、リセットデータ信号RPD、第2のリセット制御信号RPG2を順次非活性化して初期状態と同じ状態に戻し、読み出し動作が終了する。

【0026】

以下、前述の読み出し動作に伴う各強誘電体キャパシタの電荷の変動について図面を参照しながら説明する。

【0027】

図11は、従来の強誘電体記憶装置の強誘電体キャパシタに用いられる強誘電体のヒステリシス特性を示し、横軸は強誘電体キャパシタの電極印加される電圧を表し、縦軸は強誘電体の分極電荷量を表している。また、図11において、強誘電体キャパシタC1～C8の第1電極側が正極となる場合を正の分極電荷量として表している。

【0028】

図11に示すように、強誘電体キャパシタは、電源電圧Vccを正方向に印加された場合には点Aの位置に相当する分極電荷量を有しており、この状態から負の方向に電圧を変化する場合には曲線131の上を負の方向に移動した点の分極電荷量となる。逆に、電源電圧Vccを負方向に印加された場合には点Bの位置に相当する分極電荷量を有しており、この状態から正の方向に電圧を変化する場合には曲線132の上を負の方向に移動した点の分極電荷量となる。

【0029】

ここでは、図10に示す読み出し動作のタイミングに従って、図11を用いて

各強誘電体キャパシタの分極状態の変化を説明する。

【0030】

ただし、図10に示す“L”レベルは接地電位Vss (0V) であり、且つ“H”レベルは電源電圧Vccであるとする。

【0031】

まず、図10に示す時刻t1のタイミングでは、各メモセル及び各リファレンスセルの強誘電体キャパシタC1～C8には電圧が印加されていない。このため、“1”データを保持する第1のメモリセル101及び第2のリファレンスセル106では、強誘電体キャパシタC1, C6の分極電荷量は点Cの位置にあり、また“0”データを保持する第3のメモリセル103及び第4のリファレンスセル108では、強誘電体キャパシタC3, C8の分極電荷量は点Dの位置にある。

【0032】

次に、図10に示す時刻t2のタイミングでは、トランジスタT1, T3がオンされ且つ第1のセルプレート線C_Pに電源電圧Vccが印加されるため、強誘電体キャパシタC1, C3において第1電極には接地電圧Vssが、第2電極には電源電圧Vccが印加される。また、トランジスタT6, T8がオンされ且つ第2のリファレンスセルプレート線R_C_P2に“H”レベルの電圧として電源電圧Vccが印加されるため、強誘電体キャパシタC6, C8において第1電極には接地電圧Vssが、第2電極には電源電圧Vccが印加される。これにより、強誘電体キャパシタC1, C3, C6, C8は0Vの状態から負の電圧(-Vcc)が印加された状態に変化する。

【0033】

このとき、第1のメモリセル101では、強誘電体キャパシタC1の分極電荷量が点Cから点Eまで曲線131の上を移動する。なお、点Eの位置は、強誘電体キャパシタC1に印加された電圧Vccが、第1のビット線B_L1の容量と強誘電体キャパシタC1の容量との間で容量分割されることにより決まる点であり、具体的には点Cを負の方向に電圧Vcc分だけ電圧軸に沿って移動した点として点Fを定め、点Fから第1のビット線B_L1の容量負荷線133aを引くことによ

り、曲線131と容量負荷線133aとの交点として点Eが定められる。

【0034】

また、第3のメモリセル103では、強誘電体キャパシタC3の分極電荷量が点Dから負の方向に曲線132の上を移動し、点Dを負の方向に電圧Vcc分だけ電圧軸に沿って移動した点である点Gから第3のビット線BL3の容量負荷線133bと曲線132との交点である点Hの位置に移動する。ここで、第3のビット線BL3の容量は第1のビット線BL1と同じであるため、第3のビット線BL3の容量負荷線133bは、第1のビット線BL1の容量負荷線133aと同じ傾きである。

【0035】

同様に、第2のリファレンスセル106では強誘電体キャパシタC6の分極電荷量が点Cから点Iの位置に、第4のリファレンスセルでは強誘電体キャパシタC8の分極電荷量が点Dから点Jの位置にそれぞれ移動する。ここで、点Iの位置は第2のビット線BL2の容量負荷線134aと曲線131との交点であり、容量負荷線134aは、第2のビット線と第4のビット線がイコライズされることにより第2のビット線の容量値が増大するため、容量負荷線133a, 133bよりも傾きが大きくなる。

【0036】

このとき、第1のビット線BL1には電荷Q3が読み出されて点Eに対応する“1”データの電位となり、第2のビット線BL2及び第4のビット線BL4には電荷Q2が読み出されて点I及び点Jに対応する基準電位となり、第3のビット線BL3には電荷Q1が読み出されて点Hに対応する“0”データの電位となる。これにより、第1のビット線BL1と第2のビット線BL2との間には電位差V1が生じ、第3のビット線BL3と第4のビット線BL4との間には電位差V2が生じる。

【0037】

次に、図10に示す時刻t3のタイミングでは、第1のセルプレート線CP1及び第2のリファレンスセルプレート線RCP2が非活性化されるため、第1のメモリセル101、第3のメモリセル103、第2のリファレンスセル106及

び第4のリファレンスセル108において、それぞれの強誘電体キャパシタに印加される電圧は負の電圧(-Vcc)から0Vに変化する。

【0038】

これにより、第1のメモリセル101では、強誘電体キャパシタC1の分極電荷量が点Eから点Kの位置まで曲線135の上を移動する。ここで、点Kの位置は、電圧軸に沿って点Eを正の方向に電圧Vcc分だけ移動した点である点Jから第1のビット線BL1の容量負荷線133cを引き、曲線135と容量負荷線133cとの交点として定められる。また、第3のメモリセル103では、強誘電体キャパシタC3の分極電荷量は点Hから点Dの位置まで曲線132の上を移動する。

【0039】

同様に、第2のリファレンスセル106では、強誘電体キャパシタC6の分極電荷量が点Iから点Mの位置まで曲線136の上を移動する。ここで、点Mの位置は、電圧軸に沿って点Iを正の方向に電圧Vcc分だけ移動した点である点Nから第2のビット線BL2の容量負荷線134bを引き、曲線136と容量負荷線134bとの交点として定められる。また、第4のリファレンスセル108では強誘電体キャパシタC8の分極電荷量が点Hの位置から点Pの位置まで曲線132の上を移動する。

【0040】

このとき、第1のビット線BL1と第2のビット線BL2との間には点Kと点Pの電位差に相当する電位差V3が、また第3のビット線BL3と第4のビット線BL4との間には点Dと点Pの電位差に相当する電位差V4が生じる。

【0041】

次に、図10に示す時刻t4のタイミングでは、第1のセンスアンプ116により電位差V4が増幅されて第1のビット線BL1が電源電圧Vcc、第2のビット線BL2が接地電位Vssとなる。このときトランジスタT1, T6はオン状態であるため、第1のメモリセル101では、強誘電体キャパシタC1に正の電圧(Vcc)が印加された状態となり、また第2のリファレンスセル106では、強誘電体キャパシタC6が0Vの状態となる。従って第1のメモリセル101では

第1の強誘電体キャパシタC1の分極電荷量が点Kから点Aまで曲線135の上を移動し、また第2のリファレンスセル106では強誘電体キャパシタC6の分極電荷量が点Mの状態から点Qに移動する。

【0042】

同様に、第2のセンスアンプ118により電位差V3が増幅されて第3のビット線BL3が接地電圧Vssに、第4のビット線BL4が電源電圧Vccになる。このときトランジスタT3, T8がオン状態であるため、第3のメモリセル103では強誘電体キャパシタC3は0Vのまま変化しないため、点Dの位置から移動せず、また、第4のリファレンスセル108では強誘電体キャパシタC8は電源電圧Vccが印加された状態となるため点Pの位置から点Aの位置にまで移動する。

【0043】

続いて、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次活性化することにより、第2のリファレンスセル106の強誘電体キャパシタC6の第1電極にはリセットデータ信号RPDから電源電圧Vccが印加され、第4のリファレンスセル108の強誘電体キャパシタC8には接地電圧Vssが印加されるため、強誘電体キャパシタC6は0Vの状態から正の電圧が印加された状態に変化するので分極電荷量は点Qから点Aまで曲線136の上を移動し、強誘電体キャパシタC8は電源電圧Vccが印加された状態から0Vの状態に変化するため分極電荷量は点Aから点Cまで曲線131の上を移動する。

【0044】

次に、図10に示す時刻t5のタイミングよりも後に、第2のリファレンスセルプレート線RCP2を活性化することにより、第2のリファレンスセル106及び第4のリファレンスセル108の強誘電体キャパシタC6, C8の第2電極に電源電圧Vccが印加される。これにより、強誘電体キャパシタC6は正の電圧が印加された状態から0Vの状態に変化するため、分極電荷量は点Aから点Cまで曲線131の上を移動し、強誘電体キャパシタC8は0Vの状態から負電圧が印加された状態に変化するので分極電荷量は点Cから点Bまで曲線131の上を移動する。

【0045】

その後、リセットデータ信号R P D及び第2のリセット制御信号R P G 2を順次非活性化することにより強誘電体キャパシタC 6, C 8の第1電極が0 Vとなり、また、第2のリファレンスセルプレート線R C P 2を非活性化することにより、強誘電体キャパシタC 6, C 8の第2電極が0 Vとなる。これにより、第2のリファレンスセル106では、強誘電体キャパシタC 6が0 Vの状態から変化しないため点Cのままであり、第4のリファレンスセル108では強誘電体キャパシタC 8が負の電圧が印加された状態から0 Vの状態に変化するため、分極電荷量は点Bから点Dまで曲線132の上を移動する。

【0046】

このように、従来の強誘電体記憶装置によると、各メモリセルの読み出し動作において、“1”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が点Cから点E、点K、点A、点Cの順に移動し、“0”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が点Dから点H、点B、点Dの順に移動する。また、各リファレンスセルの読み出し動作において、“1”データを保持するリファレンスセルでは強誘電体キャパシタの分極電荷量が点Cから点I、点M、点Q、点A、点Cの順に移動し、“0”データを保持するリファレンスセルでは強誘電体キャパシタの分極電荷量が点Dから点J、点P、点A、点B、点Dの順に移動する。このとき、“0”データを保持する強誘電体キャパシタの分極反転量は図10に示す点Cと点Dとの間の電荷量Q SWとなる。

【0047】

【発明が解決しようとする課題】

しかしながら、前記従来の強誘電体記憶装置によると、1つのビット線対に多数形成されたメモリセルにおいて、1つのメモリセルを読み出す度に1対のリファレンスセルが用いられるため、メモリセルと比べてリファレンスセルの動作頻度が極めて高い。従って、強誘電体記憶装置の書き換え回数特性がリファレンスセルの劣化に依存して低下するという問題を有している。

【0048】

本発明は、前記従来の問題を解決し、リファレンスセルを用いて基準電位を生

成する強誘電体記憶装置において、リファレンスセルの読み出し動作における分極反転量を小さくして書き換え回数特性を向上できるようにすることを目的とする。

【0049】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、センスアンプを駆動するよりも前にリファレンスセルをビット線から切り離す構成とする。

【0050】

具体的に、本発明に係る強誘電体記憶装置は、それぞれが、第1のビット線及び第2のビット線からなる複数のビット線対と、複数のビット線対の電位差を増幅する複数のセンスアンプと、複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタと、ソース及びドレインがそれぞれ該強誘電体キャパシタの第1電極及び第1のビット線と接続されたトランジスタとによって構成されたメモリセルと、複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタと、ソース及びドレインがそれぞれ該強誘電体キャパシタの第1電極及び第2のビット線と接続されたトランジスタとによって構成され、隣接するビット線対同士で互いに異なるデータを保持するリファレンスセルと、複数のビット線対において、互いに隣接するビット線対の第2のビット線同士を接続するスイッチ回路と、メモリセルにおけるトランジスタのゲート同士を接続するワード線と、リファレンスセルにおけるトランジスタのゲート同士を接続するリファレンスワード線と、メモリセルにおける強誘電体キャパシタの第2電極同士を接続するセルプレート線と、リファレンスセルにおける強誘電体キャパシタの第2電極同士を接続するリファレンスセルプレート線と、メモリセル、リファレンスセル、スイッチ回路及びセンスアンプの読み出し動作を制御する制御回路とを備え、制御回路は、センスアンプの駆動中にはリファレンスワード線を非活性状態にする。

【0051】

本発明の強誘電体記憶装置によると、制御回路はセンスアンプの駆動中にはリファレンスワード線を非活性状態にするため、センスアンプの駆動中にはリファ

レンスセルにおける強誘電体キャパシタの第1電極と第2のビット線とが切り離されるので、センスアンプにより増幅された電位によりリファレンスセルにおける強誘電体キャパシタの分極電荷量が移動しない。これにより、リファレンスセルの分極反転量が小さくなり、メモリセルの読み出し動作に伴うリファレンスセルの強誘電体キャパシタに生じるストレスを低減することができるため、強誘電体記憶装置の書き換え回数特性を向上することができる。

【0052】

本発明の強誘電体記憶装置において、制御回路は、センスアンプの駆動中にはスイッチ回路を駆動しないことが好ましい。このようにすると、センスアンプの駆動中に異なるデータが出力された2つのビット線を切り離した状態でセンスアンプが駆動するため、強誘電体記憶装置の消費電流量を抑制することができる。

【0053】

本発明の強誘電体記憶装置において、制御回路は、スイッチ回路を駆動すると共にワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いてセルプレート線及びリファレンスセルプレート線を非活性化し、次にリファレンスワード線を非活性化した後にスイッチ回路の駆動を停止し、その後センスアンプを駆動することが好ましい。このようにすると、リファレンスワード線の活性化よりも前にスイッチ制御回路が駆動されるため、スイッチ制御回路の駆動を停止するときに生じるノイズが強誘電体キャパシタに伝達されないので、強誘電体キャパシタの分極電荷量がスイッチ制御信号の非活性化に伴うノイズによって移動することがなく、特に、ビット線容量が大きい場合にはスイッチ制御回路の停止に伴うノイズがビット線の電位に与える影響が少ないため、確実な読み出し動作が可能となる。

【0054】

本発明の強誘電体記憶装置において、制御回路は、スイッチ回路を駆動すると共にワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いてセルプレート線及びリファレンスセルプレート線を非活性化し、次にスイッチ回路の駆動を停止した後にリファレンスワード線を非活性化し、その後センスアンプを駆動することが好ましい。このようにすると、

スイッチ制御回路を駆動が停止した後にリファレンスワード線が非活性化されるため、ビット線容量が小さい場合には、スイッチ制御回路の停止に伴うノイズがビット線に与える影響は小さくなり、確実な読み出し動作が可能となる。

【0055】

本発明の強誘電体記憶装置において、制御回路は、スイッチ回路を駆動すると共にワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いてリファレンスワード線を非活性化した後にスイッチ回路の駆動を停止し、次にセルプレート線及びリファレンスセルプレート線を非活性化し、その後センスアンプを駆動することが好ましい。このようにすると、セルプレート線及びリファレンスセルプレート線をセンスアンプ駆動中にまで活性化するため、スイッチ制御回路の駆動を停止するときのビット線電位を高くしてノイズの影響を小さくすることができる。

【0056】

本発明の強誘電体記憶装置において、制御回路は、スイッチ回路を駆動すると共にワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化し、続いてスイッチ回路の駆動を停止した後にリファレンスワード線を非活性化し、次にセルプレート線及びリファレンスセルプレート線を非活性化し、その後センスアンプを駆動することが好ましい。

【0057】

本発明の強誘電体記憶装置において、制御回路は、ワード線、セルプレート線、リファレンスワード線及びリファレンスセルプレート線を活性化よりも前にスイッチ回路の駆動を開始することが好ましい。このようにすると、スイッチ制御回路の駆動期間を確保しながら、セルプレート線及びリファレンスセルプレート線を活性化するため、リファレンス用の電位が生じるまでの時間を短縮することができ、高速動作が可能となる。

【0058】

本発明の強誘電体記憶装置において、制御回路は、リファレンスワード線及びリファレンスセルプレート線を所定の期間活性化した後、スイッチ制御信号を所定の期間活性化し、その後センスアンプを駆動することがこのましい。このよう

にすると、強誘電体キャパシタの容量がビット線に付加されない状態でビット線がイコライズされるため、分極反転量をさらに小さくすることができるので加えて、高精度のリファレンスレベルを発生することができ、書き換え回数特性と読み出し動作の信頼性がさらに向上する。

【0059】

本発明の強誘電体記憶装置の読み出し方法は、それぞれが、第1のビット線及び第2のビット線からなる複数のビット線対と、複数のビット線対の電位差を増幅する複数のセンスアンプと、複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタと、ソース及びドレインが該強誘電体キャパシタの第1電極及び第1のビット線と接続されたトランジスタとを有するメモリセルと、複数のビット線対のそれぞれに形成され、データを保持する強誘電体キャパシタと、ソース及びドレインが該強誘電体キャパシタの第1電極及び第1のビット線と接続されたトランジスタとを有し、隣接するビット線対同士で互いに異なるデータを保持するリファレンスセルと、複数のビット線対において、互いに隣接するビット線対の第2のビット線同士を接続するスイッチ回路と、メモリセルにおけるトランジスタのゲート同士を接続するワード線と、リファレンスセルにおけるトランジスタのゲート同士を接続するリファレンスワード線と、メモリセルにおける強誘電体キャパシタの第2電極同士を接続するセルプレート線と、リファレンスセルにおける強誘電体キャパシタの第2電極同士を接続するリファレンスセルプレート線と、メモリセル、リファレンスセル、スイッチ回路及びセンスアンプの動作を制御する制御回路とを備えた強誘電体記憶装置の読み出し方法を対象とし、ワード線及びリファレンスワード線を活性化する第1の工程と、セルプレート線及びリファレンスセルプレート線に読み出し用の電圧を所定の期間印加する第2の工程と、スイッチ回路を駆動するためのスイッチ制御信号を活性化す第3の工程と、第1の工程よりも後に、リファレンスワード線を非活性化する第4の工程と、第3の工程よりも後に、スイッチ制御信号を非活性化する第5の工程と、第4の工程よりも後にセンスアンプを所定の期間駆動する第6の工程を備えている。

【0060】

本発明の強誘電体記憶装置の読み出し方法によると、リファレンスワード線を非活性化する第4の工程と、第4の工程よりも後にセンスアンプを所定の期間駆動する第6の工程を備えているため、センスアンプの駆動中にはリファレンスセルにおける強誘電体キャパシタの第1電極と第2のビット線とが切り離されるので、センスアンプにより増幅された電位によりリファレンスセルにおける強誘電体キャパシタの分極電荷量が移動しない。これにより、リファレンスセルの分極反転量が小さくなり、メモリセルの読み出し動作に伴うリファレンスセルの強誘電体キャパシタに生じるストレスを低減することができるため、強誘電体記憶装置の書き換え回数特性を向上することができる。

【0061】

本発明の強誘電体記憶装置の読み出し方法において、第6の工程は第5の工程よりも後に行われることが好ましい。このようにすると、センスアンプの駆動中に異なるデータが出力された2つのビット線を切り離した状態でセンスアンプが駆動するため、強誘電体記憶装置の消費電流量を抑制することができる。

【0062】

本発明の強誘電体記憶装置の読み出し方法において、第3の工程は第2の工程よりも後に行われることが好ましい。このようにすると、スイッチ制御信号がリファレンスワード線の活性化よりも前に非活性化されるため、スイッチ制御信号の非活性化時に生じるノイズが強誘電体キャパシタに伝達されないので、強誘電体キャパシタの分極電荷量がスイッチ制御信号の非活性化に伴うノイズによって移動することがなく、特に、ビット線容量が大きい場合にはスイッチ制御信号の非活性化に伴うノイズがビット線の電位に与える影響が少ないため、確実な読み出し動作が可能となる。

【0063】

本発明の強誘電体記憶装置の読み出し方法において、第2の工程は第3の工程よりも後に行われることが好ましい。このようにすると、スイッチ制御信号を非活性化した後にリファレンスワード線が非活性化されるため、ビット線容量が小さい場合には、スイッチ制御信号の非活性化に伴うノイズがビット線に与える影響は小さくなり、確実な読み出し動作が可能となる。

【0064】

本発明の強誘電体記憶装置の読み出し方法において、第3の工程は第6の工程の開始後まで継続して行われることが好ましい。このようにすると、セルプレート線及びリファレンスセルプレート線をセンスアンプ駆動中にまで活性化するため、スイッチ制御信号の非活性化時のビット線電位を高くすることができる。

【0065】

本発明の強誘電体記憶装置の読み出し方法において、第1の工程は第3の工程よりも後に行われることが好ましい。このようにすると、スイッチ制御信号の活性化によりイコライズ期間を確保しながら、セルプレート線及びリファレンスセルプレート線を活性化するので、ビット線の電位がリファレンスレベルに達するまでの時間を短縮することができ、高速動作が可能となる。

【0066】

本発明の強誘電体記憶装置の読み出し方法において、第3の工程は第4の工程よりも後に行われることが好ましい。このようにすると、強誘電体キャパシタの容量がビット線に付加されない状態でビット線がイコライズされるため、分極反転量をさらに小さくすることができるので、高精度のリファレンスレベルを発生することができ、書き換え回数特性と読み出し動作の信頼性がさらに向上する。

【0067】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態に係る強誘電体記憶装置について図面を参照しながら説明する。

【0068】

図1は第1の実施形態に係る強誘電体記憶装置の回路構成を示している。図1に示すように、本実施形態の強誘電体記憶装置は、データを保持するメモリセルとして、ゲートが第1のワード線WL1と接続され且つドレインが第1のビット線BL1と接続されたトランジスタT1及び第1電極がトランジスタT1のソースと接続され且つ第2電極が第1のセルプレート線CP1と接続された強誘電体

キャパシタC1からなる第1のメモリセル11と、ゲートが第2のワード線WL2と接続され且つドレインが第2のビット線BL2と接続されたトランジスタT2及び第1電極がトランジスタT2のソースと接続され且つ第2電極が第2のセルプレート線CP2と接続された強誘電体キャパシタC2からなる第2のメモリセル12と、ゲートが第1のワード線WL1と接続され且つドレインが第3のビット線BL3と接続されたトランジスタT3及び第1電極がトランジスタT3のソースと接続され且つ第2電極が第1のセルプレート線CP1と接続された強誘電体キャパシタC3からなる第3のメモリセル13と、ゲートが第2のワード線WL2と接続され且つドレインが第4のビット線BL4と接続されたトランジスタT4及び第1電極がトランジスタT4のソースと接続され且つ第2電極が第2のセルプレート線CP2と接続された強誘電体キャパシタC4からなる第4のメモリセル14とを備えている。

【0069】

また、基準電位（リファレンスレベル）生成用のデータを保持するメモリセルとして、ゲートが第1のリファレンスワード線RWL1と接続され且つドレインが第1のビット線BL1と接続されたトランジスタT5及び第1電極がトランジスタT5のソースと接続され且つ第2電極が第1のリファレンスセルプレート線RCP1と接続された強誘電体キャパシタC5からなる第1のリファレンスセル15と、ゲートが第2のリファレンスワード線RWL2と接続され且つドレインが第2のビット線BL2と接続されたトランジスタT6及び第1電極がトランジスタT6のソースと接続され且つ第2電極が第2のリファレンスセルプレート線RCP2と接続された強誘電体キャパシタC6からなる第2のリファレンスセル16と、ゲートが第1のリファレンスワード線RWL1と接続され且つドレインが第3のビット線BL3と接続されたトランジスタT7及び第1電極がトランジスタT7のソースと接続され且つ第2電極が第1のリファレンスセルプレート線RCP1と接続された強誘電体キャパシタC7からなる第3のリファレンスセル17と、ゲートが第2のリファレンスワード線RWL2と接続され且つドレインが第4のビット線BL4と接続されたトランジスタT8及び第1電極がトランジスタT8のソースと接続され且つ第2電極が第2のリファレンスセルプレート線

RCP2と接続された強誘電体キャパシタC8からなる第4のリファレンスセル18とを備えている。

【0070】

第1のリファレンスセル15、第2のリファレンスセル16、第3のリファレンスセル17及び第4のリファレンスセル18には、それぞれに所定のデータを書き込むための回路として、それぞれが、ドレインが強誘電体キャパシタC5～C8の第1電極と接続されたトランジスタT9～T12からなる第1のリセット回路19、第2のリセット回路20、第3のリセット回路21及び第4のリセット回路22が設けられている。

【0071】

また、第1のビット線BL1及び第3のビット線BL3はトランジスタT13からなる第1のスイッチ回路23を介して互いに接続され、第2のビット線BL2及び第4のビット線BL4はトランジスタT14からなる第2のスイッチ回路24を介して互いに接続されている。

【0072】

第1のビット線BL1及び第2のビット線BL2は、2つのトランジスタT15、T16からなる第1のプリチャージ回路25と接続されると共に、第1のセンスアンプ26にビット線対として接続されている。同様に、第3のビット線BL3及び第4のビット線BL4は、2つのトランジスタT17、T18からなる第2のプリチャージ回路27と接続されると共に、第2のセンスアンプ28にビット線対として接続されている。

【0073】

また、前述の各回路を制御するための制御回路29が設けられている。

【0074】

具体的に、制御回路29は、第1のワード線WL1、第1のセルプレート線CPL1、第2のワード線WL2、第2のセルプレート線CPL2、第1のリファレンスワード線RWL1、第1のリファレンスセルプレート線RCP1、第2のリファレンスワード線RWL2及び第2のリファレンスセルプレート線RCP2を駆動し、各メモリセル及び各リファレンスセルに保持されたデータのビット線への

出力を制御する。

【0075】

また、制御回路29は、第1のリセット制御信号RPG1をトランジスタT9, T11のゲートに入力して第1のリセット回路19及び第3のリセット回路21を駆動すると共に、第2のリセット制御信号RPG2をトランジスタT10, T12のゲートに入力して第2のリセット回路20及び第4のリセット回路22を駆動し、各リファレンスセルへのデータの再書き込みを制御する。

【0076】

ここで、第1のリセット回路19及び第4のリセット回路22ではトランジスタT9, T12のソースにリセットデータ信号RPDが供給され、第2のリセット回路20及び第3のリセット回路21ではトランジスタT10, T11のソースに接地電圧Vssが供給されるため、第1のリセット回路19及び第4のリセット回路22と第2のリセット回路20及び第3のリセット回路21とには異なるデータが書き込まれる。

【0077】

さらに、制御回路29は、トランジスタT13のゲートに第1のスイッチ制御信号REQ1を入力して第1のスイッチ回路23を駆動することにより第1のビット線BL1と第3のビット線BL3とを導通し、また、トランジスタT14のゲートに第2のスイッチ制御信号REQ2を入力して第2のスイッチ回路24を駆動することにより第2のビット線BL2と第4のビット線BL4との間を導通する。

【0078】

また、制御回路29は、プリチャージ信号BPをトランジスタT15～T18のゲートに入力して第1のプリチャージ回路25及び第2のプリチャージ回路27を制御し、第1のビット線BL1～第4のビット線BL4を接地電位Vssにプリチャージする。

【0079】

さらに、制御回路29は、センスアンプ起動信号SAEを活性化することにより、第1のセンスアンプ26を駆動して第1のビット線BL1及び第2のビット

線B L 2 からなるビット線対の電位差を増幅すると共に、第2のセンスアンプ28を駆動して第3のビット線B L 3 及び第4のビット線B L 4 からなるビット線対の電位差を増幅する。

【0080】

以上のような構成において、第1のメモリセル11及び第3のメモリセル13の読み出しの際には、第1のスイッチ回路23を用いて第2のビット線B L 2 と第4のビット線B L 4 とをイコライズすることにより、第2のリファレンスセル16が保持するデータと第4のリファレンスセル18が保持するデータとの中間の電位が基準電位として第2のビット線B L 2 及び第4のビット線B L 4 に出力される。

【0081】

また、第2のメモリセル12及び第4のメモリセル14の読み出しの際には、第2のスイッチ回路24を用いて第1のビット線B L 1 と第3のビット線B L 3 とをイコライズすることにより、第1のリファレンスセル15が保持するデータと第3のリファレンスセル17が保持するデータとの中間の電位が基準電位として第1のビット線B L 1 及び第3のビット線B L 3 に出力される。

【0082】

図1に示す本実施形態の強誘電体記憶装置において、各ビット線B L 1 ~ B L 4 はワード線が延びる方向にそれぞれが複数形成されており、各メモリセルは各ビット線が延びる方向にそれぞれが複数形成されている。

【0083】

ここで、第1のビット線B L 1 及び第2のビット線B L 2 からなるビット線対と、第3のビット線B L 3 及び第4のビット線B L 4 対からなるビット線対とにおいて、それぞれに形成された各回路の構成は、リセットデータ信号R P D を受けるリセット回路と接地電位Vssを受けるリセット回路との位置関係が隣接するビット線同士で入れ替わっている点を除いて同じである。これにより、隣接するビット線同士においてスイッチ回路により接続された2つのビット線に形成されたりファレンスセル同士で異なるデータを保持するように構成されている。

【0084】

なお、図1に示す本実施形態の強誘電体記憶装置において、第1のビット線B L 1及び第2のビット線B L 2からなるビット線対又は第3のビット線B L 3及び第4のビット線B L 4からなるビット線対は、両方のビット線にメモリセルとリファレンスセルとが形成されている必要はなく、メモリセルのデータを読み出すビット線と異なるビット線にリファレンスセルが形成されればよい。

【0085】

例えば、第1のビット線B L 1及び第2のビット線B L 2からなるビット線対において、第2のメモリセル14と第1のリファレンスセル15とが省略されてもよく、この場合、第2のスイッチ回路24を用いることにより、第2のリファレンスセル16と、隣接するビット線対のリファレンスセルである第4のリファレンスセル18とをイコライズして基準電位を第2のビット線B L 2に出力することができる。

【0086】

また、図1に示す本実施形態の強誘電体記憶装置において、第1のリファレンスセル15及び第4のリファレンスセル18には、それぞれ第1のリセット回路19及び第4のリセット回路22を介して接地電位Vssと接続され、第2のリファレンスセル16及び第3のリファレンスセル17にはそれぞれ第2のリセット回路20及び第3のリセット回路21を介してリセットデータ信号RPDと接続されているが、このような構成に限らず、スイッチ回路により接続された2つのビット線に形成されたリファレンスセル同士に異なるデータが書き込まれるように構成されればよい。

【0087】

以下、第1の実施形態に係る強誘電体記憶装置の読み出し動作について図面を参照しながら説明する。以下の説明では、一例として、制御回路29が生成する各信号は、論理電圧“H”レベルに正の電源電圧Vccを用い、論理電圧“L”レベルに0Vの接地電圧Vssを用い、また各メモリセル及び各リファレンスセルは、それぞれの強誘電体キャパシタC1～C8が第1電極が正極となる残留分極を有する場合に“1”データを保持し、第2電極が正極となる残留分極を有する場合に“0”データを保持する構成として説明する。

【0088】

ここでは、第1のメモリセル11及び第3のメモリセル13にはそれぞれ“1”データ及び“0”データが保持されているとし、また第2のリファレンスセル16及び第4のリファレンスセル18にはそれぞれ“1”データ及び“0”データがあらかじめ書き込まれている場合について、第1のメモリセル11及び第3のメモリセル13の読み出し動作を説明する。

【0089】

図2は第1の実施形態に係る強誘電体記憶装置における読み出し動作の動作タイミングを示している。図2に示すように、本実施形態の強誘電体記憶装置の読み出し動作は、まず、初期状態として、ビット線プリチャージ信号B Pを活性状態（論理電圧“H”レベル）とすることにより、第1のプリチャージ回路25及び第2のプリチャージ回路27を駆動して各ビット線（すなわち、第1のビット線B L 1、第2のビット線B L 2、第3のビット線B L 3及び第4のビット線B L 4）を接地電圧Vssにプリチャージする。

【0090】

このとき、第1のワード線WL1、第1のセルプレート線C P 1、第2のリファレンスワード線RWL2、第2のリファレンスセルプレート線R C P 2、第2のスイッチ制御信号R E Q 2、第2のリセット制御信号R P G 2、リセットデータ信号R P D及びセンスアンプ起動信号S A Eは非活性状態（論理電圧“L”レベル）である。

【0091】

なお、図示はしていないが、第1のメモリセル11及び第3のメモリセル13の読み出し動作の期間中は、第2のメモリセル12及び第4のメモリセル14の読み出しを行わず、従って第2のワード線WL2、第2のセルプレート線C P 2、第1のリファレンスワード線RWL1、第1のリファレンスセルプレート線R C P 1、第1のスイッチ制御信号R E Q 1及び第1のリセット制御信号R P G 1は非活性状態に維持される。

【0092】

次に、時刻t1のタイミングにおいて、ビット線プリチャージ信号B Pを非活

性化することにより、各ビット線BL1～BL4をすべてフローティング状態にする。

【0093】

次に、時刻t2のタイミングにおいて、第2のスイッチ制御信号REQ2、第1のワード線WL1、第1のセルプレート線CP1、第2のリファレンスワード線RWL2及び第2のリファレンスセルプレート線RCP2を活性化する。

【0094】

これにより、トランジスタT1, T3がオンされると共に強誘電体キャパシタC1, C3の第2電極に読み出し用の電圧として“H”レベルの電圧が印加され、第1のメモリセル11の“1”データに対応する電位が第1のビット線BL1に出力され、また第3のメモリセル13の“0”データに対応する電位が第3のビット線BL3に出力される。ここで、ビット線に出力される電位は、強誘電体キャパシタC1, C3の第2電極に印加された読み出し用の電圧が、ビット線容量と強誘電体キャパシタC1, C3の容量との間で容量分割されることによって決まる値となるため、メモリセルが保持するデータに応じた電位がビット線に生じる。

【0095】

同様に、トランジスタT6, T8がオンされると共に強誘電体キャパシタC6, C8の第2電極に“H”レベルの電圧が印加されて、第2のリファレンスセル16及び第4のリファレンスセル18に保持された“1”データ及び“0”データがそれぞれ第2のビット線BL2及び第4のビット線BL4に出力される。

【0096】

このとき、第2のスイッチ制御信号REQ2の活性化により第2のスイッチ回路24が駆動して第2のビット線BL2と第4のビット線BL4とがイコライズされることにより、第2のビット線BL2及び第4のビット線BL4には、“1”データに対応する電位と“0”データに対応する電位との中間の電位が基準電位リファレンスレベルとして出力される。

【0097】

なお、図2において、第1のワード線WL1及び第2のリファレンスワード線

RWL 2 は時刻 t_2 よりも前に活性化するように図示しているが、第 1 のセルプレート線 CP 1 及び第 2 のリファレンスセルプレート線 RCP 2 と同時に活性化されてもよい。

【0098】

次に、時刻 t_3 のタイミングにおいて、第 1 のセルプレート線 CP 1 及び第 2 のリファレンスセルプレート線 RCP 2 を非活性化する。これにより、強誘電体キャパシタ C1, C3 及び強誘電体キャパシタ C6, C8 のそれぞれの第 2 電極への電圧の供給が停止され、第 1 のメモリセル 11、第 3 のメモリセル 13、第 2 のリファレンスセル 16 及び第 4 のリファレンスセル 18 から各ビット線 BL 1 ~ BL 4 へのデータの出力を停止する。

【0099】

その後、時刻 t_4 のタイミングよりも前に、第 2 のリファレンスワード線 RWL 2 及び第 2 のスイッチ制御信号 REQ 2 を順次非活性化する。これにより、トランジスタ T6, T8 をオフ状態として第 2 のリファレンスセル 16 及び第 4 のリファレンスセル 18 を第 2 のビット線 BL 2 及び第 4 のビット線 BL 4 から切り離した後、第 2 のスイッチ回路 24 を停止して第 2 のビット線 BL 2 と第 4 のビット線 BL 4 とを遮断する。

【0100】

次に、時刻 t_4 のタイミングにおいて、センスアンプ起動信号 SAE を活性化して第 1 のセンスアンプ 26 及び第 2 のセンスアンプ 28 を駆動させる。これにより、第 1 のビット線 BL 1 と第 2 のビット線 BL 2 との電位差が、第 1 のビット線 BL 1 が電源電圧 Vcc となり且つ第 2 のビット線 BL 2 が接地電圧 Vss となるまで増幅され、第 3 のビット線 BL 3 と第 4 のビット線 BL 4 との電位差が、第 3 のビット線 BL 3 が接地電圧 Vss となり且つ第 4 のビット線 BL 4 が電源電圧 Vcc となるまで増幅される。

【0101】

このとき、第 1 のワード線 WL 1 は活性状態であるため、トランジスタ T1, T3 を介して強誘電体キャパシタ C1, C3 の第 1 電極にそれぞれ電源電圧 Vcc 及び接地電圧 Vss が供給されるので、第 1 のメモリセル 11 及び第 3 のメモリセ

ル13に対する再書き込みが行われる。

【0102】

ここで、第1のセンスアンプ26及び第2のセンスアンプ28の駆動中には、第2のリファレンスセル16が接続された第2のビット線BL2と第4のリファレンスセル18が接続された第4のビット線BL4とが切り離された状態であるため、異なるデータを保持するリファレンスセルが接続されたビット線同士をイコライズしながらセンスアンプを駆動する従来の強誘電体記憶装置と比べて、消費電流量を抑制することができる。

【0103】

続いて、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次活性化することにより、第2のリセット回路20及び第4のリセット回路22を用いて第2のリファレンスセル16及び第4のリファレンスセル18への再書き込みを行う。このとき、第2のリファレンスセル16においては、強誘電体キャパシタC6の第1電極に接地電圧Vssが供給されているため“0”データが書き込まれ、また第4のリファレンスセル18においては、強誘電体キャパシタC8の第1電極にリセットデータ信号RPDとして“H”レベルの電圧が供給されることため“1”データが書き込まれる。

【0104】

次に、時刻t5のタイミングにおいて、センスアンプ起動信号SAEを非活性化して第1のセンスアンプ26及び第2のセンスアンプ28を停止した後、第2のリファレンスセルプレート線RCP2を活性化する。これにより、第4のリファレンスセル18の強誘電体キャパシタC8に印加される電圧は、第1電極にはリセットデータ信号RPDから“H”レベルの電圧が供給され、且つ第2電極には第2のリファレンスセルプレート線RCP2から“H”レベルの電圧が供給されるため0Vとなる。

【0105】

その後、ビット線プリチャージ信号BPを活性化すると共に、第2のリファレンスセルプレート線RCP2、第1のワード線WL1、リセットデータ信号RPD、第2のリセット制御信号RPG2を順次非活性化して初期状態と同じ状態に

戻し、読み出し動作が完了する。

【0106】

なお、ここでは第1のメモリセル11及び第3のメモリセル13に対する読み出しについて説明したが、第2のメモリセル12及び第4のメモリセル14を読み出す場合には、第1のリファレンスセル15及び第3のリファレンスセル17にそれぞれに保持された“0”及び“1”的データが第1のビット線BL1及び第3のビット線BL3にそれぞれ読み出され、第1のスイッチ回路23を駆動することにより、第1のビット線BL1及び第3のビット線BL3に基準電位を与えて同様の読み出し動作を行うが可能である。

【0107】

以下、第1の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動について図面を参照しながら説明する。

【0108】

図3は第1の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動を説明し、強誘電体キャパシタに用いられる強誘電体のヒステリシス特性を示すグラフである。図3において、横軸は、強誘電体キャパシタに印加される電圧を表し、縦軸は強誘電体キャパシタの分極電荷量を表している。また、図3において、強誘電体キャパシタC1～C8の第1電極側が正極となる場合を正の分極電荷量として表している。

【0109】

図3に示すように、強誘電体キャパシタは、電源電圧Vccを正方向に印加された場合には点Aの位置に相当する分極電荷量を有しており、この状態から負の方向に電圧を変化する場合には、曲線31の上を負の方向に移動した点の分極電荷量となる。逆に、電源電圧Vccを負方向に印加された場合には点Bの位置に相当する分極電荷量を有しており、この状態から正の方向に電圧を変化する場合には曲線32の上を正の方向に移動した点の分極電荷量となる。

【0110】

ここでは、図2に示す読み出し動作のタイミングに従って図3を用いて各強誘電体キャパシタの分極電荷量の移動を説明する。

【0111】

ただし、図2に示す“L”レベルは接地電位V_{ss}(0V)であり、また“H”レベルは電源電圧V_{cc}(>0V)であるとする。

【0112】

まず、図2に示す時刻t₁のタイミングでは、各メモセル及び各リファレンスセルの強誘電体キャパシタC₁～C₈には電圧が印加されていない。このため、“1”データを保持する第1のメモリセル1₁及び第2のリファレンスセル1₆では、強誘電体キャパシタC₁、C₆の分極電荷量は点Cの位置にあり、また“0”データを保持する第3のメモリセル1₃及び第4のリファレンスセル1₈では、強誘電体キャパシタC₃、C₈の分極電荷量は点Dの位置にある。

【0113】

次に、図2に示す時刻t₂のタイミングでは、トランジスタT₁、T₃がオンされ且つ第1のセルプレート線CP₁に“H”レベルの電圧として電源電圧V_{cc}が印加されるため、強誘電体キャパシタC₁、C₃において第1電極には接地電圧V_{ss}が、第2電極には電源電圧V_{cc}が印加される。

【0114】

このとき、第1のメモリセル1₁では、強誘電体キャパシタC₁の分極電荷量が点Cから点Eまで曲線3₁の上を移動する。なお、点Eの位置は、強誘電体キャパシタC₁に印加された電圧V_{cc}が、第1のビット線B_L1の容量と強誘電体キャパシタC₁の容量との間で容量分割されることにより決まる点であり、具体的には点Cを電圧軸に沿って負の方向に電源電圧V_{cc}分だけ移動した点として点Fを定め、点Fから第1のビット線B_L1の容量負荷線3_{3a}を引くことにより、曲線3₁と容量負荷線3_{3a}との交点として点Eが定められる。

【0115】

また、第3のメモリセル1₃では、強誘電体キャパシタC₃の分極電荷量が点Dから負の方向に曲線3₂の上を移動し、点Dを負の方向に電圧V_{cc}分だけ電圧軸に沿って移動した点である点Gから第3のビット線B_L3の容量負荷線3_{3b}と曲線3₂との交点である点Hの位置に移動する。ここで、第3のビット線B_L3の容量は第1のビット線B_L1と同じであるため、第3のビット線B_L3の容

量負荷線33bは、第1のビット線BL1の容量負荷線33aと同じ傾きである。

【0116】

このとき、同様にして、トランジスタT6, T8がオンされ且つ第2のリファレンスセルプレート線RCP2に“H”レベルの電圧として電源電圧Vccが印加されるため、強誘電体キャパシタC6, C8において第1電極には接地電圧Vssが、第2電極には電源電圧Vccが印加される。これにより、強誘電体キャパシタC1, C3, C6, C8は0Vの状態から負の電圧(-Vcc)が印加された状態に変化する。第2のリファレンスセル16では強誘電体キャパシタC6の分極電荷量が点Cから点Iの位置に、第4のリファレンスセル18では強誘電体キャパシタC8の分極電荷量が点Dから点Jの位置にそれぞれ移動する。ここで、点Iの位置は第2のビット線BL2の容量負荷線34aと曲線31との交点であり、容量負荷線34aは、第2のビット線BL2と第4のビット線BL4がイコライズされて容量値が増大するため、容量負荷線33a, 33bよりも傾きが大きくなる。

【0117】

ここで、図2に示すt2の工程により、第1のビット線BL1には電荷Q3が読み出されて点Eに対応する“1”データの電位となり、第2のビット線BL2及び第4のビット線BL4には電荷Q2が読み出されて点I及び点Jに対応する基準電位となり、第3のビット線BL3には電荷Q1が読み出されて点Hに対応する“0”データの電位となる。これにより、第1のビット線BL1と第2のビット線BL2との間には電位差V1が生じ、第3のビット線BL3と第4のビット線BL4との間には電位差V2が生じる。

【0118】

次に、図2に示す時刻t3のタイミングでは、第1のセルプレート線CP1及び第2のリファレンスセルプレート線RCP2が非活性化されるため、第1のメモリセル11、第3のメモリセル13、第2のリファレンスセル16及び第4のリファレンスセル18において、それぞれの強誘電体キャパシタに印加される電圧は負の電圧(-Vcc)から0Vに変化する。

【0119】

これにより、第1のメモリセル11では、強誘電体キャパシタC1の分極電荷量が点Eから点Kの位置まで曲線35の上を移動する。ここで、点Kの位置は、電圧軸に沿って点Eを正の方向に電圧Vcc分だけ移動した点である点Lから第1のビット線BL1の容量負荷線33cを引き、曲線35と容量負荷線33cとの交点として定められる。また、第3のメモリセル13では、強誘電体キャパシタC3の分極電荷量は点Hから点Dの位置まで曲線32の上を移動する。

【0120】

同様に、第2のリファレンスセル16では、強誘電体キャパシタC6の分極電荷量が点Iから点Mの位置まで曲線36の上を移動する。ここで、点Mの位置は、電圧軸に沿って点Iを正の方向に電圧Vcc分だけ移動した点である点Nから第2のビット線BL2の容量負荷線34bを引き、曲線36と容量負荷線34bとの交点として定められる。また、第4のリファレンスセル18では強誘電体キャパシタC8の分極電荷量が点Hの位置から点Pの位置まで曲線32の上を移動する。

【0121】

このとき、第1のビット線BL1と第2のビット線BL2との間には点Pと点Dの電位差に相当する電位差V3が、また第3のビット線BL3と第4のビット線BL4との間には点Pと点Nの電位差に相当する電位差V4が生じる。

【0122】

次に、図2に示す時刻t4のタイミングでは、第1のセンスアンプ26により電位差V4が増幅されて第1のビット線BL1が電源電圧Vcc、第2のビット線BL2が接地電位Vssとなるため、第1のメモリセル11では、強誘電体キャパシタC1の第1電極にはVccが印加された状態となる。従って強誘電体キャパシタC1の分極電荷量が点Kから点Aまで曲線35の上を移動する。また、第2のリファレンスセル16では、強誘電体キャパシタC6が第2のビット線BL2と切り離されているため、分極電荷量は点Mの位置から移動しない。

【0123】

同様に、第2のセンスアンプ28により電位差V3が増幅されて第3のビット

線BL3が接地電圧Vssに、第4のビット線BL4が電源電圧Vccになるため、第3のメモリセル13では強誘電体キャパシタC3は0Vのまま変化しないので分極電荷量は点Dの位置から移動せず、また、第4のリファレンスセル18では強誘電体キャパシタC8は第4のビット線BL4と切り離されているため、分極電荷量は点Pの位置から移動しない。

【0124】

続いて、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次活性化することにより、第2のリファレンスセル16の強誘電体キャパシタC6は、第1電極にリセットデータ信号RPDから電源電圧Vccが印加されるため、0Vの状態から正電圧が印加された状態に変化するので分極電荷量が点Mから点Aまで曲線35の上を移動する。また、第4のリファレンスセル18の強誘電体キャパシタC8は、第1電極に接地電圧Vssが印加されるため、強誘電体キャパシタC8は0Vの状態のままであるので分極電荷量は点Pのまま移動しない。

【0125】

次に、図2に示す時刻t5のタイミングよりも後に、第2のリファレンスセルプレート線RCP2を活性化することにより、第2のリファレンスセル16及び第4のリファレンスセル18の強誘電体キャパシタC6, C8の第2電極に電源電圧Vccが印加される。これにより、強誘電体キャパシタC6は正電圧が印加された状態から0Vの状態に変化するので分極電荷量は点Aから点Cまで曲線31の上を移動し、強誘電体キャパシタC8は0Vの状態から負電圧が印加された状態に変化するので分極電荷量は点Pから点Bまで曲線37の上を移動する。

【0126】

その後、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次非活性化することにより強誘電体キャパシタC6, C8の第1電極が0Vとなり、また、第2のリファレンスセルプレート線RCP2を非活性化することにより、強誘電体キャパシタC6, C8の第2電極が0Vとなる。これにより、第2のリファレンスセル16では、強誘電体キャパシタC6が0Vの状態から変化しないため点Cのままであり、第4のリファレンスセル18では強誘電体キャパシタC8が負電圧が印加された状態から0Vの状態に変化するため、分極電荷量は

点Bから点Dまで曲線3 2の上を移動する。

【0127】

また、ビット線プリチャージ信号B Pの活性化と第1のワード線W L 1の非活性化により、第1のメモリセル1 1の強誘電体キャパシタC 1は、第1のビット線B L 1から第1電極へ電圧の供給がなくなるため0 Vの状態となり、強誘電体キャパシタC 1では分極電荷量が点Aから点Cまで曲線3 1の上を移動する。このとき、第3のメモリセル1 3の強誘電体キャパシタC 3は0 Vの状態から変化しないため点Cから移動しない。

【0128】

このように、各メモリセルの読み出し動作において、“1”データを保持する第1のメモリセル1 1では強誘電体キャパシタC 1の分極電荷量が点Cから点E、点K、点A、点Cの順に移動し、“0”データを保持する第3のメモリセル1 3では強誘電体キャパシタC 3の分極電荷量が点Dから点H、点B、点Dの順に移動する。また、各リファレンスセルの読み出し動作において、“1”データを保持する第2のリファレンスセル1 6では強誘電体キャパシタC 6の分極電荷量が点Cから点I、点M、点A、点Cの順に移動し、“0”データを保持する第4のリファレンスセル1 8では強誘電体キャパシタC 8の分極電荷量が点Dから点J、点P、点B、点Dの順に移動する。

【0129】

このとき、リファレンスセルの読み出し動作における分極反転量は、“0”データを保持する強誘電体キャパシタC 6、C 8の分極反転量は図2に示す点Cと点Iとの間の電荷量Q SW 1となり、従来の強誘電体キャパシタの分極反転量Q SWよりも小さくなる。

【0130】

なお、ここでは第1のメモリセル1 1に“1”データが保持され、第3のメモリセルに1 3 “0”データが保持されている場合について説明したが、各メモリセルにおいて異なるデータが保持されている場合には、それぞれに保持されたデータに応じてそれぞれのキャパシタC 1～C 4の分極電荷量が移動する。

【0131】

また、ここでは第1のメモリセル11及び第3のメモリセルに13を読み出す場合について説明したが、第2のメモリセル12及び第4のメモリセル14を読み出す場合には、第1のリファレンスセル及び第3のリファレンスセルを用いて基準電位を生成し、このとき、それぞれのキャパシタC2, C4, C5, C7の分極電荷量は、それぞれが保持するデータに応じて移動する。

【0132】

さらに、第2のスイッチ制御信号REQ2を第2のリファレンスワード線RWL2を活性化するよりも前に非活性化することにより、第2のスイッチ制御信号REQ2の非活性化時に生じるノイズが強誘電体キャパシタC6, C8に伝達されないため、強誘電体キャパシタの分極電荷量が第2のスイッチ制御信号REQ2の非活性化に伴うノイズによって移動することがない。特に、ビット線容量が大きい場合には第2のスイッチ制御信号REQ2の非活性化に伴うノイズがビット線の電位に与える影響が少ないため、確実な読み出し動作が可能となる。

【0133】

以上説明したように、第1の実施形態の強誘電体記憶装置によると、強誘電体キャパシタC5～C8の分極反転量を小さくできるため、読み出し動作に伴う強誘電体キャパシタC5～C8へのストレスを低減することができ、強誘電体記憶装置の書き換え回数特性を向上することが可能である。

【0134】

(第1の実施形態の一変形例)

以下、第1の実施形態の一変形例に係る強誘電体記憶装置について図面を参照しながら説明する。

【0135】

なお、本実施形態の強誘電体記憶装置の回路構成は、図1に示す第1の実施形態の強誘電体記憶装置の回路構成と同一であり、制御回路29による読み出し動作の制御が第1実施形態と異なっている。ここでは本実施形態の読み出し動作について、第1の実施形態との差異を説明する。

【0136】

図4は第1の実施形態の一変形例に係る強誘電体記憶装置の読み出し動作にお

ける動作タイミングを示している。図4に示すように、初期状態から、時刻 t_1 においてビット線プリチャージ信号B Pを非活性化するまでの動作は、図2に示す第1の実施形態の読み出し動作の時刻 t_1 までと同様である。

【0137】

次に、時刻 t_2 よりも前にスイッチ制御信号R EQ 2を活性化する。これにより、第2のスイッチ回路24が駆動して第2のビット線B L 2と第4のビット線B L 4とがイコライズされる。

【0138】

次に、時刻 t_2 において、第1のワード線WL 1、第1のセルプレート線C P 1、第2のリファレンスワード線RW L 2及び第2のリファレンスセルプレート線R C P 2を活性化する。

【0139】

これにより、トランジスタT 1, T 3がオンされると共に強誘電体キャパシタC 1, C 3の第2電極に“H”レベルの電圧が印加されて、第1のメモリセル1 1及び第3のメモリセル1 3に保持されたデータがそれぞれ第1のビット線B L 1及び第3のビット線B L 3に出力される。

【0140】

また、トランジスタT 6, T 8がオンされると共に強誘電体キャパシタC 6, C 8の第2電極に“H”レベルの電圧が印加されて、第2のリファレンスセル1 6及び第4のリファレンスセル1 8に保持された“1”データ及び“0”データがそれぞれ第2のビット線B L 2及び第4のビット線B L 4に出力される。

【0141】

このとき、第2のビット線B L 2と第4のビット線B L 4とがあらかじめイコライズされているため、第2のビット線B L 2及び第4のビット線B L 4の電位がリファレンスレベルに達するまでの時間を短縮することができる。

【0142】

なお、図4において、第1のワード線WL 1及び第2のリファレンスワード線RW L 2は、第2のスイッチ制御信号R EQ 2の活性化よりも後で且つ時刻 t_2 よりも前に活性化するように図示しているが、第1のセルプレート線C P 1及び

第2のリファレンスセルプレート線RCP2と同時に活性化されてもよく、また第2のスイッチ制御信号REQ2と同時に活性化されてもよい。

【0143】

その後、時刻 t_3 のタイミングにおいて第1のセルプレート線CP1及び第2のリファレンスセルプレート線RCP2を非活性化する以降の工程は、図2に示す第1の実施形態の読み出し動作の時刻 t_3 以降と同様であるため説明を省略する。

【0144】

前述の読み出し動作に伴う各強誘電体の電荷の変動は、第1の実施形態と同様であり、従って、リファレンスセルの読み出し動作における分極反転量は従来の強誘電体記憶装置よりも小さくされている。

【0145】

本変形例の強誘電体記憶装置によると、第1の実施形態と同様の効果を得られるのに加えて、第2のスイッチ制御信号REQ2を活性化した後に、第1のセルプレート線CP1及び第2のリファレンスセルプレート線RCP2を所定の期間活性状態にするため、第2のスイッチ制御信号REQ2の活性化によりイコライズ期間を確保しながら、第1のセルプレート線CP1及び第2のリファレンスセルプレート線RCP2の活性化するので、第2のビット線BL2及び第4のビット線BL4の電位がリファレンスレベルに達するまでの時間を短縮することができ、より高速度な読み出し動作が可能となる。

【0146】

(第2の実施形態)

以下、第2の実施形態に係る強誘電体記憶装置について図面を参照しながら説明する。

【0147】

なお、本実施形態の強誘電体記憶装置の回路構成は、図1に示す第1の実施形態の強誘電体記憶装置の回路構成と同一であり、制御回路29による読み出し動作の制御が第1実施形態と異なっている。ここでは本実施形態の読み出し動作について、第1の実施形態との差異を説明する。

【0148】

図5は第2の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示している。図5に示すように、初期状態から、時刻 t_3 において第1のセルプレート線C P 1 及び第2のリファレンスセルプレート線R C P 2 を非活性化するまでの動作は、図2に示す第1の実施形態の読み出し動作の時刻 t_3 までと同様である。

【0149】

次に、時刻 t_4 よりも前に、第2のスイッチ制御信号R E Q 2 及び第2のリファレンスワード線R W L 2 を順次非活性化する。これにより、第2のスイッチ回路2 4 を停止して第2のビット線B L 2 と第4のビット線B L 4 とを切り離した後、トランジスタT 6, T 8 がオフされて第2のリファレンスセル1 6 及び第4のリファレンスセル1 8 と第2のビット線B L 2 及び第4のビット線B L 4 とを切り離す。

【0150】

このとき、第2のビット線B L 2 及び第4のビット線B L 4 に強誘電体キャパシタC 6, C 8 の容量が付加された状態でイコライズが停止されるため、特にビット線容量が小さい場合には、第2のスイッチ制御信号R E Q 2 の非活性化によってビット線に生じるノイズが低減される。

【0151】

その後、時刻 t_4 のタイミングにおいてセンスアンプ起動信号S A E を活性化する以降の工程は、図2に示す第1の実施形態の読み出し動作の時刻 t_4 以降と同様であるため説明を省略する。

【0152】

ここで、第2の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動は、第1の実施形態と同様に、“1”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が図3における点Cから点E、点K、点A、点Cの順に移動し、“0”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が点Dから点H、点B、点Dの順に移動する。また、各リファレンスセルの読み出し動作においては、“1”データを保持す

るリファレンスセルでは強誘電体キャパシタの分極電荷量が図3における点Cから点I、点M、点A、点Cの順に移動し、“0”データを保持するリファレンスセルでは強誘電体キャパシタの分極電荷量が点Dから点J、点P、点B、点Dの順に移動する。

【0153】

このように、第2の実施形態の強誘電体記憶装置によると、第1の実施形態と同様に分極反転量を小さくすることができ、強誘電体記憶装置の書き換え回数特性を向上することが可能である。

【0154】

さらに、第2のスイッチ制御信号REQ2を非活性化した後に第2のリファレンスワード線RWL2を非活性化することにより、ビット線容量が小さい場合には、第2のスイッチ制御信号REQ2の非活性化に伴うノイズがビット線に与える影響は小さくなるため、信頼性の高い読み出し動作が可能となる。

【0155】

なお、本実施形態においても、第1の実施形態の一変形例と同様に、第2のスイッチ制御信号REQ2を時刻t2のタイミングよりも前に活性化するにより、第2のスイッチ制御信号REQ2の活性化と第1のセルプレート線CPL1及び第2のリファレンスセルプレート線RCPL2の活性化期間を並行して高速動作を行うことが可能である。

【0156】

(第3の実施形態)

以下、第3の実施形態に係る強誘電体記憶装置について図面を参照しながら説明する。

【0157】

なお、本実施形態の強誘電体記憶装置の回路構成は、図1に示す第1の実施形態の強誘電体記憶装置の回路構成と同一であり、制御回路29による読み出し動作の制御が第1実施形態と異なっている。ここでは本実施形態の読み出し動作について、第1の実施形態との差異を説明する。

【0158】

図6は第3の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示している。

【0159】

図6に示すように、初期状態から、時刻 t_2 において第1のセルプレート線 C_P1 及び第2のリファレンスセルプレート線 R_C_P2 を活性化するまでの動作は、図2に示す第1の実施形態の読み出し動作の時刻 t_2 までと同様である。これにより、強誘電体キャパシタ $C1, C3$ 及び強誘電体キャパシタ $C6, C8$ のそれぞれの第2電極へ“H”レベルの電圧が印加され、第1のメモリセル 11 、第3のメモリセル 13 、第2のリファレンスセル 16 及び第4のリファレンスセル 18 から各ビット線へのデータの出力が開始される。

【0160】

次に、時刻 t_3 よりも前に、第2のリファレンスワード線 $RWL2$ 及び第2のスイッチ制御信号 $REQ2$ を順次非活性化する。これにより、第2のスイッチ回路 24 を停止して第2のビット線 $BL2$ と第4のビット線 $BL4$ とを切り離した後、トランジスタ $T6, T8$ がオフされて第2のリファレンスセル 16 及び第4のリファレンスセル 18 と第2のビット線 $BL2$ 及び第4のビット線 $BL4$ とを切り離す。

【0161】

次に、時刻 t_3 のタイミングにおいてセンスアンプ起動信号 SAE を活性化して第1のセンスアンプ 26 及び第2のセンスアンプ 28 を駆動させる。これにより、第1のビット線 $BL1$ と第2のビット線 $BL2$ との電位差が、第1のビット線 $BL1$ が電源電圧 Vcc となり且つ第2のビット線 $BL2$ が接地電圧 Vss となるまで増幅され、第3のビット線 $BL3$ と第4のビット線 $BL4$ との電位差が、第3のビット線 $BL3$ が接地電圧 Vss となり且つ第4のビット線 $BL4$ が電源電圧 Vcc となるまで増幅される。

【0162】

次に、時刻 t_4 のタイミングにおいて、第1のセルプレート線 C_P1 及び第2のリファレンスセルプレート線 R_C_P2 を非活性化する。これにより、強誘電体キャパシタ $C1, C3$ 及び強誘電体キャパシタ $C6, C8$ のそれぞれの第2電極

への電圧の供給が停止され、第1のメモリセル11、第3のメモリセル13、第2のリファレンスセル16及び第4のリファレンスセル18から各ビット線へのデータの出力を停止する。

【0163】

その後、時刻 t_5 においてセンスアンプ起動信号S A Eを非活性化する以降の工程は、図2に示す第1の実施形態の読み出し動作の時刻 t_5 以降と同様であるため説明を省略する。

【0164】

以下、第2の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動について図3を用いて説明する。ただし、図6に示す“L”レベルは接地電位 V_{ss} (0V)であり、また“H”レベルは電源電圧 V_{cc} (>0V)であるとする。

【0165】

まず、図6に示す時刻 t_1 のタイミングでは、各メモセル及び各リファレンスセルの強誘電体キャパシタC1～C8には電圧が印加されていない。このため、“1”データを保持する第1のメモリセル11及び第2のリファレンスセル16では、強誘電体キャパシタC1, C6の分極電荷量は点Cの位置にあり、また“0”データを保持する第3のメモリセル13及び第4のリファレンスセル18では、強誘電体キャパシタC3, C8の分極電荷量は点Dの位置にある。

【0166】

次に、図6に示す時刻 t_2 のタイミングでは、トランジスタT1, T3がオンされ且つ第1のセルプレート線C P 1に“H”レベルの電圧として電源電圧 V_{cc} が印加されるため、強誘電体キャパシタC1, C3において第1電極には接地電圧 V_{ss} が、第2電極には電源電圧 V_{cc} が印加される。また、トランジスタT6, T8がオンされ且つ第2のリファレンスセルプレート線R C P 2に“H”レベルの電圧として電源電圧 V_{cc} が印加されるため、強誘電体キャパシタC6, C8において第1電極には接地電圧 V_{ss} が、第2電極には電源電圧 V_{cc} が印加される。これにより、強誘電体キャパシタC1, C3, C6, C8は0Vの状態から負の電圧(- V_{cc})が印加された状態に変化する。

【0167】

これにより、第1のメモリセル11では強誘電体キャパシタC1の分極電荷量が点Cから点Eの位置まで曲線31の上を移動し、第3のメモリセル13では、強誘電体キャパシタC3の分極電荷量が点Dから点Hの位置まで曲線32の上を移動する。同様に、第2のリファレンスセル16では強誘電体キャパシタC6の分極電荷量が点Cから点Iの位置に、第4のリファレンスセルでは強誘電体キャパシタC8の分極電荷量が点Dから点Jの位置にそれぞれ移動する。

【0168】

このとき、第1のビット線BL1には電荷Q3が読み出されて点Eに対応する“1”データの電位となり、第2のビット線BL2及び第4のビット線BL4には電荷Q2が読み出されて点I及び点Jに対応する基準電位となり、第3のビット線BL3には電荷Q1が読み出されて点Hに対応する“0”データの電位となる。これにより、第1のビット線BL1と第2のビット線BL2との間には電位差V1が生じ、第3のビット線BL3と第4のビット線BL4との間には電位差V2が生じる。

【0169】

次に、図6に示す時刻t3のタイミングでは、第1のセンスアンプ26により電位差V2が増幅されて第1のビット線BL1が電源電圧Vcc、第2のビット線BL2が接地電圧Vssとなる。これにより、第1のメモリセル11において強誘電体キャパシタC1の第1電極には第1のビット線から電源電圧Vccが印加され、第2電極には第1のセルプレート線から電源電圧Vccが印加された状態となり、従って強誘電体キャパシタC1の分極電荷量が点Eから点Kまで曲線35の上を移動する。また、第2のリファレンスセル16では、強誘電体キャパシタC6が第2のビット線BL2から切り離されているため、分極電荷量は点Iの位置から移動しない。

【0170】

同様に、第2のセンスアンプ28により電位差V1が増幅されて第3のビット線BL3が接地電圧Vssに、第4のビット線BL4が電源電圧Vccになるため、第3のメモリセル13では強誘電体キャパシタC3は負の電圧(-Vcc)が印加

された状態から変化しないので分極電荷量は点Hの位置から移動せず、第4のリファレンスセル18では強誘電体キャパシタC8は第4のビット線B14から切り離されているため、分極電荷量は点Jの位置から移動しない。

【0171】

次に、図6に示す時刻t4のタイミングでは、第1のセルプレート線C1P1及び第2のリファレンスセルプレート線R1P2が非活性化されるため、第1のメモリセル11、第3のメモリセル13、第2のリファレンスセル16及び第4のリファレンスセル18において、それぞれの強誘電体キャパシタC1, C3, C6, C8に印加された電圧は正の方向に変化する。

【0172】

これにより、第1のメモリセル11では強誘電体キャパシタC1の分極電荷量が点Kから点Aの位置まで曲線35の上を移動し、第3のメモリセル13では強誘電体キャパシタC3の分極電荷量は点Hから点Dの位置まで曲線32の上を移動する。

【0173】

同様に、第2のリファレンスセル16では強誘電体キャパシタC6の分極電荷量が点Iから点Mの位置まで曲線36の上を移動し、第4のリファレンスセル18では強誘電体キャパシタC8の分極電荷量が点Jの位置から点Dの位置まで曲線32の上を移動する。

【0174】

続いて、図6に示す時刻t5よりも後に、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次活性化することにより、第2のリファレンスセル16においては強誘電体キャパシタC6の第1電極にリセットデータ信号RPDから電源電圧Vccが印加されるため、0Vの状態から正電圧が印加された状態に変化するので分極電荷量は点Mから点Aまで曲線35の上を移動し、第4のリファレンスセル18においては強誘電体キャパシタC8の第1電極に接地電圧Vssが印加されるため、強誘電体キャパシタC8は0Vの状態のままであるので分極電荷量は点Dのまま移動しない。

【0175】

その後、リセットデータ信号R P D及び第2のリセット制御信号R P G 2を順次非活性化することにより強誘電体キャパシタC 6, C 8の第1電極が0 Vとなり、また、第2のリファレンスセルプレート線R C P 2を非活性化することにより、強誘電体キャパシタC 6, C 8の第2電極が0 Vとなる。これにより、第2のリファレンスセル1 6では、強誘電体キャパシタC 6が正電圧が印加された状態から0 Vの状態に変化するため分極電荷量が点Aから点Cまで曲線3 1の上を移動し、第4のリファレンスセル1 8では強誘電体キャパシタC 8は0 Vの状態のままであるため、分極電荷量は点Dのまま変化しない。

【0176】

ここで、第3の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動は、“1”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が点Cから点E、点K、点A、点Cの順に移動し、“0”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が点Dから点H、点B、点Dの順に移動する。また、各リファレンスセルの読み出し動作において、“1”データを保持するリファレンスセルでは強誘電体キャパシタの分極電荷量が点Cから点I、点M、点A、点Cの順に移動し、“0”データを保持するリファレンスセルでは強誘電体キャパシタの分極電荷量が点Dから点J、点Dの順に移動する。

【0177】

このように、第3の実施形態に係る強誘電体記憶装置によると、第1の実施形態と同様に分極反転量を小さくすることができ、強誘電体記憶装置の書き換え回数特性を向上することが可能である。

【0178】

さらに、セルプレート線及びリファレンスセルプレート線をセンスアンプ駆動中にまで活性化することにより、スイッチ制御信号の非活性化時のビット線電位が高くなるため、スイッチ制御信号の非活性化に伴うノイズの影響を低減することができ、信頼性の高い読み出し動作が可能となる。

【0179】

なお、本実施形態においても、第1の実施形態の一変形例と同様に、第2のス

イッチ制御信号R EQ 2を時刻t 2のタイミングよりも前に活性化するにより、第2のスイッチ制御信号R EQ 2の活性化と第1のセルプレート線C P 1及び第2のリファレンスセルプレート線R C P 2の活性化期間を並行して高速動作を行うことが可能である。

【0180】

(第4の実施形態)

以下、第4の実施形態に係る強誘電体記憶装置について図面を参照しながら説明する。

【0181】

なお、本実施形態の強誘電体記憶装置の回路構成は、図1に示す第1の実施形態の強誘電体記憶装置の回路構成と同一であり、制御回路29による読み出し動作の制御が第1実施形態と異なっている。ここでは本実施形態の読み出し動作について、第1の実施形態との差異を説明する。

【0182】

図7は第4の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示している。

【0183】

図7に示すように、初期状態から、時刻t 2において第1のセルプレート線C P 1及び第2のリファレンスセルプレート線R C P 2を活性化するまでの動作は、図2に示す第1の実施形態の読み出し動作の時刻t 2までと同様である。これにより、強誘電体キャパシタC 1, C 3及び強誘電体キャパシタC 6, C 8のそれぞれの第2電極へ“H”レベルの電圧が印加され、第1のメモリセル1 1、第3のメモリセル1 3、第2のリファレンスセル1 6及び第4のリファレンスセル1 8から各ビット線へのデータの出力が開始される。

【0184】

次に、時刻t 3よりも前に、第2のスイッチ制御信号R EQ 2及び第2のリファレンスワード線R WL 2を順次非活性化する。これにより、第2のスイッチ回路24を停止して第2のビット線B L 2と第4のビット線B L 4とを切り離した後、トランジスタT 6, T 8がオフされて第2のリファレンスセル1 6及び第4

のリファレンスセル18と第2のビット線BL2及び第4のビット線BL4とを切り離す。

【0185】

次に、時刻t3のタイミングにおいてセンスアンプ起動信号SAEを活性化して第1のセンスアンプ26及び第2のセンスアンプ28を駆動させる。これにより、第1のビット線BL1と第2のビット線BL2との電位差が、第1のビット線BL1が電源電圧Vccとなり且つ第2のビット線BL2が接地電圧Vssとなるまで増幅され、第3のビット線BL3と第4のビット線BL4との電位差が、第3のビット線BL3が接地電圧Vssとなり且つ第4のビット線BL4が電源電圧Vccとなるまで増幅される。

【0186】

次に、時刻t4のタイミングにおいて、第1のセルプレート線CPL1及び第2のリファレンスセルプレート線RCP2を非活性化する。これにより、強誘電体キャパシタC1, C3及び強誘電体キャパシタC6, C8のそれぞれの第2電極への電圧の供給が停止され、第1のメモリセル11、第3のメモリセル13、第2のリファレンスセル16及び第4のリファレンスセル18から各ビット線へのデータの出力を停止する。

【0187】

その後、時刻t5においてセンスアンプ起動信号SAEを非活性化する以降の工程は、図2に示す第1の実施形態の読み出し動作の時刻t5以降と同様であるため説明を省略する。

【0188】

以下、第4の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動について図3を用いて説明する。ただし、図7に示す“L”レベルは接地電位Vss(0V)であり、また“H”レベルは電源電圧Vcc(>0V)であるとする。

【0189】

まず、図7に示す時刻t1のタイミングでは、各メモセル及び各リファレンスセルの強誘電体キャパシタC1～C8には電圧が印加されていない。このため、

“1”データを保持する第1のメモリセル11及び第2のリファレンスセル16では、強誘電体キャパシタC1, C6の分極電荷量は点Cの位置にあり、また“0”データを保持する第3のメモリセル13及び第4のリファレンスセル18では、強誘電体キャパシタC3, C8の分極電荷量は点Dの位置にある。

【0190】

次に、図7に示す時刻t2のタイミングでは、トランジスタT1, T3がオンされ且つ第1のセルプレート線CPL1に“H”レベルの電圧として電源電圧Vccが印加されるため、強誘電体キャパシタC1, C3において第1電極にはVssが、第2電極にはVccが印加される。また、トランジスタT6, T8がオンされ且つ第2のリファレンスセルプレート線RCPL2に“H”レベルの電圧として電源電圧Vccが印加されるため、強誘電体キャパシタC6, C8において第1電極にはVssが、第2電極にはVccが印加される。これにより、強誘電体キャパシタC1, C3, C6, C8は0Vの状態から負の電圧(-Vcc)が印加された状態に変化する。

【0191】

これにより、第1のメモリセル11では強誘電体キャパシタC1の分極電荷量が点Cから点Eの位置まで曲線31の上を移動し、第3のメモリセル13では、強誘電体キャパシタC3の分極電荷量が点Dから点Hの位置まで曲線32の上を移動する。同様に、第2のリファレンスセル16では強誘電体キャパシタC6の分極電荷量が点Cから点Iの位置に、第4のリファレンスセルでは強誘電体キャパシタC8の分極電荷量が点Dから点Jの位置にそれぞれ移動する。

【0192】

このとき、第1のビット線BL1には電荷Q3が読み出されて点Eに対応する“1”データの電位となり、第2のビット線BL2及び第4のビット線BL4には電荷Q2が読み出されて点I及び点Jに対応する基準電位となり、第3のビット線BL3には電荷Q1が読み出されて点Hに対応する“0”データの電位となる。これにより、第1のビット線BL1と第2のビット線BL2との間には電位差V1が生じ、第3のビット線BL3と第4のビット線BL4との間には電位差V2が生じる。

【0193】

次に、図7に示す時刻 t_3 のタイミングでは、第1のセンスアンプ26により電位差 V_2 が増幅されて第1のビット線 BL_1 が電源電圧 V_{cc} 、第2のビット線 BL_2 が接地電位 V_{ss} となる。これにより、第1のメモリセル11において強誘電体キャパシタ C_1 の第1電極には第1のビット線から電源電圧 V_{cc} が印加され、第2電極には第1のセルプレート線から電源電圧 V_{cc} が印加された状態となり、従って強誘電体キャパシタ C_1 の分極電荷量が点Eから点Kまで曲線35の上を移動する。また、第2のリファレンスセル16では、強誘電体キャパシタ C_6 が第2のビット線 BL_2 から切り離されているため、分極電荷量は点Iの位置から移動しない。

【0194】

同様に、第2のセンスアンプ28により電位差 V_1 が増幅されて第3のビット線 BL_3 が接地電圧 V_{ss} に、第4のビット線 BL_4 が電源電圧 V_{cc} になるため、第3のメモリセル13では強誘電体キャパシタ C_3 は負の電圧 ($-V_{cc}$) が印加された状態から変化しないので分極電荷量は点Hの位置から移動せず、第4のリファレンスセル18では強誘電体キャパシタ C_8 は第4のビット線 BL_4 から切り離されているため、分極電荷量は点Jの位置から移動しない。

【0195】

次に、図7に示す時刻 t_4 のタイミングでは、第1のセルプレート線 CP_1 及び第2のリファレンスセルプレート線 RCP_2 が非活性化されるため、第1のメモリセル11、第3のメモリセル13、第2のリファレンスセル16及び第4のリファレンスセル18において、それぞれの強誘電体キャパシタ C_1, C_3, C_6, C_8 に印加された電圧は正の方向に変化する。

【0196】

これにより、第1のメモリセル11では強誘電体キャパシタ C_1 の分極電荷量が点Kから点Aの位置まで曲線35の上を移動し、第3のメモリセル13では強誘電体キャパシタ C_3 の分極電荷量は点Hから点Dの位置まで曲線32の上を移動する。

【0197】

同様に、第2のリファレンスセル16では強誘電体キャパシタC6の分極電荷量が点Iから点Mの位置まで曲線36の上を移動し、第4のリファレンスセル18では強誘電体キャパシタC8の分極電荷量が点Jの位置から点Dの位置まで曲線32の上を移動する。

【0198】

続いて、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次活性化することにより、第2のリファレンスセル16においては強誘電体キャパシタC6の第1電極にリセットデータ信号RPDから電源電圧Vccが印加されるため、0Vの状態から正電圧が印加された状態に変化するので分極電荷量は点Mから点Aまで曲線35の上を移動し、第4のリファレンスセル18においては強誘電体キャパシタC8の第1電極に接地電圧Vssが印加されるため、強誘電体キャパシタC8は0Vの状態のままであるので分極電荷量は点Dのまま移動しない。

【0199】

その後、図7に示す時刻t5よりも後に、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次非活性化することにより強誘電体キャパシタC6、C8の第1電極が0Vとなり、また、第2のリファレンスセルプレート線RCP2を非活性化することにより、強誘電体キャパシタC6、C8の第2電極が0Vとなる。これにより、第2のリファレンスセル16では、強誘電体キャパシタC6が正電圧が印加された状態から0Vの状態に変化するため分極電荷量が点Aから点Cまで曲線31の上を移動し、第4のリファレンスセル18では強誘電体キャパシタC8は0Vの状態のままであるため、分極電荷量は点Dのまま変化しない。

【0200】

ここで、第4の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動は、“1”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が点Cから点E、点K、点A、点Cの順に移動し、“0”データを保持するメモリセルでは強誘電体キャパシタの分極電荷量が点Dから点H、点B、点Dの順に移動する。また、各リファレンスセルの読み出し

動作において、“1”データを保持するリファレンスセルでは強誘電体キャパシタの分極電荷量が点Cから点I、点M、点A、点Cの順に移動し、“0”データを保持するリファレンスセルでは強誘電体キャパシタの分極電荷量が点Dから点J、点P、点B、点Dの順に移動する。

【0201】

このように、第4の実施形態によると、第1の実施形態と同様に分極反転量を小さくすることができ、強誘電体記憶装置の書き換え回数特性を向上することが可能である。

【0202】

さらに、セルプレート線及びリファレンスセルプレート線をセンスアンプ駆動中にまで活性化することにより、スイッチ制御信号の非活性化時のビット線電位が高くなるため、スイッチ制御信号の非活性化に伴うノイズの影響を低減することができ、信頼性の高い読み出し動作が可能となる。

【0203】

なお、本実施形態においても、第1の実施形態の一変形例と同様に、第2のスイッチ制御信号REQ2を時刻t2のタイミングよりも前に活性化するにより、第2のスイッチ制御信号REQ2の活性化と第1のセルプレート線CPL1及び第2のリファレンスセルプレート線RCPL2の活性化期間を並行して高速動作を行うことが可能である。

【0204】

(第5の実施形態)

以下、第5の実施形態に係る強誘電体記憶装置について図面を参照しながら説明する。

【0205】

なお、本実施形態の強誘電体記憶装置の回路構成は、図1に示す第1の実施形態の強誘電体記憶装置の回路構成と同一であり、制御回路29による読み出し動作の制御が第1実施形態と異なっている。ここでは本実施形態の読み出し動作について、第1の実施形態との差異を説明する。

【0206】

図8は第5の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示している。

【0207】

図8に示すように、初期状態から、時刻 t_1 においてピット線プリチャージ信号B Pを非活性化するまでは、図2に示す第1の実施形態の読み出し動作の時刻 t_1 までと同様である。

【0208】

次に、時刻 t_2 のタイミングにおいて、第1のワード線W L 1、第1のセルプレート線C P 1、第2のリファレンスワード線R W L 2及び第2のリファレンスセルプレート線R C P 2を活性化する。

【0209】

これにより、トランジスタT 1, T 3がオンされると共に強誘電体キャパシタC 1, C 3の第2電極に“H”レベルの電圧が印加されて、第1のメモリセル1 1及び第3のメモリセル1 3に保持されたデータがそれぞれ第1のピット線B L 1及び第3のピット線B L 3に出力される。

【0210】

また、トランジスタT 6, T 8がオンされると共に強誘電体キャパシタC 6, C 8の第2電極に“H”レベルの電圧が印加されて、第2のリファレンスセル1 6及び第4のリファレンスセル1 8に保持された“1”データ及び“0”データがそれぞれ第2のピット線B L 2及び第4のピット線B L 4に出力される。

【0211】

次に、時刻 t_3 のタイミングにおいて、第1のセルプレート線C P 1及び第2のリファレンスセルプレート線R C P 2を非活性化する。これにより、強誘電体キャパシタC 1, C 3及び強誘電体キャパシタC 6, C 8のそれぞれの第2電極への電圧の供給が停止され、第1のメモリセル1 1、第3のメモリセル1 3、第2のリファレンスセル1 6及び第4のリファレンスセル1 8から各ピット線へのデータの出力を停止する。

【0212】

その後、時刻 t_4 のタイミングよりも前に、第2のスイッチ制御信号R E Q 2

を所定の期間活性状態にする。これにより、第2のスイッチ回路24が駆動して第2のビット線BL2と第4のビット線BL4とがイコライズされるため、第2のビット線BL2及び第4のビット線BL4は、“1”データに対応する電位と“0”データに対応する電位との中間の電位がリファレンスレベルとなる。

【0213】

続いて、第2のリファレンスワード線RWL2を順次非活性化する。これにより、トランジスタT6, T8がオフされて第2のリファレンスセル16及び第4のリファレンスセル18と第2のビット線BL2及び第4のビット線BL4とを切り離す。

【0214】

次に、時刻t4のタイミングにおいてセンスアンプ起動信号SAEを活性化して第1のセンスアンプ26及び第2のセンスアンプ28を駆動させる。これにより、第1のビット線BL1と第2のビット線BL2との電位差が、第1のビット線BL1が電源電圧Vccとなり且つ第2のビット線BL2が接地電圧Vssとなるまで増幅され、第3のビット線BL3と第4のビット線BL4との電位差が、第3のビット線BL3が接地電圧Vssとなり且つ第4のビット線BL4が電源電圧Vccとなるまで増幅される。

【0215】

続いて、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次活性化することにより、第2のリセット回路20及び第4のリセット回路22を用いて第2のリファレンスセル16及び第4のリファレンスセル18への再書き込みを行う。このとき、第2のリファレンスセル16においては、強誘電体キヤパシタC6の第1電極に接地電圧Vssが供給されているため“0”データが書き込まれ、また第4のリファレンスセル18においては、強誘電体キヤパシタC8の第1電極にリセットデータ信号RPDとして“H”レベルの電圧が供給されることため“1”データが書き込まれる。

【0216】

その後、ビット線プリチャージ信号BPを活性化すると共に、第1のワード線WL1、リセットデータ信号RPD、第2のリセット制御信号RPG2を順次非

活性化して初期状態と同じ状態に戻し、読み出し動作が完了する。

【0217】

以下、第5の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動について図3を用いて説明する。ただし、図8に示す“L”レベルは接地電位Vss (0 V) であり、また“H”レベルは電源電圧Vcc (>0 V) であるとする。

【0218】

まず、図8に示す時刻t1のタイミングでは、各メモセル及び各リファレンスセルの強誘電体キャパシタC1～C8には電圧が印加されていない。このため、“1”データを保持する第1のメモリセル11及び第2のリファレンスセル16では、強誘電体キャパシタC1, C6の分極電荷量は点Cの位置にあり、また“0”データを保持する第3のメモリセル13及び第4のリファレンスセル18では、強誘電体キャパシタC3, C8の分極電荷量は点Dの位置にある。

【0219】

次に、図8に示す時刻t2のタイミングでは、トランジスタT1, T3がオンされ且つ第1のセルプレート線CPL1に“H”レベルの電圧として電源電圧Vccが印加されるため、強誘電体キャパシタC1, C3において第1電極には接地電圧Vssが、第2電極には電源電圧Vccが印加される。また、トランジスタT6, T8がオンされ且つ第2のリファレンスセルプレート線RCPL2に“H”レベルの電圧として電源電圧Vccが印加されるため、強誘電体キャパシタC6, C8において第1電極にはVssが、第2電極にはVccが印加される。これにより、強誘電体キャパシタC1, C3, C6, C8は0 Vの状態から負の電圧(-Vcc)が印加された状態に変化する。

【0220】

これにより、第1のメモリセル11では強誘電体キャパシタC1の分極電荷量が点Cから点Eの位置まで曲線31の上を移動し、第3のメモリセル13では、強誘電体キャパシタC3の分極電荷量が点Dから点Hの位置まで曲線32の上を移動する。また、このとき第2のスイッチ回路24は停止状態であるため、第2のビット線BL2及び第4のビット線BL4のビット線容量は第1のビット線B

L 1 と同じであるため、 “1” データを保持する第2のリファレンスセル1 6 では強誘電体キャパシタC 6 の分極電荷量が点C から点E の位置に、 第4のリファレンスセル1 8 では強誘電体キャパシタC 8 の分極電荷量が点D から点H の位置にそれぞれ移動する。

【0221】

このとき、 第1のビット線B L 1 及び第2のビット線B L 2 には電荷Q 3 が読み出されて点E に対応する “1” データの電位となり、 第3のビット線B L 3 及び第4のビット線B L 4 には電荷Q 1 が読み出されて点H に対応する “0” データの電位となる。

【0222】

次に、 図8に示す時刻 t_3 のタイミングでは、 第1のセルプレート線C P 1 及び第2のリファレンスセルプレート線R C P 2 が非活性化されるため、 第1のメモリセル1 1 、 第3のメモリセル1 3 、 第2のリファレンスセル1 6 及び第4のリファレンスセル1 8 において、 それぞれの強誘電体キャパシタに印加される電圧は負の電圧 ($-V_{cc}$) から0 V に変化する。

【0223】

これにより、 第1のメモリセル1 1 では、 強誘電体キャパシタC 1 の分極電荷量が点E から点K の位置まで曲線3 5 の上を移動する。 また、 第3のメモリセル1 3 では、 強誘電体キャパシタC 3 の分極電荷量は点H から点D の位置まで曲線3 2 の上を移動する。

【0224】

同様に、 第2のリファレンスセル1 1 では、 強誘電体キャパシタC 6 の分極電荷量が点E から点K の位置まで曲線3 6 の上を移動する。 また、 第4のリファレンスセル1 8 では強誘電体キャパシタC 8 の分極電荷量が点H の位置から点D の位置まで曲線3 2 の上を移動する。

【0225】

次に、 図8に示す時刻 t_4 のタイミングよりも前に、 第2のスイッチ制御信号REQ 2 の活性化により、 がイコライズされることにより、 第2のビット線B L 2 と第4のビット線B L 4 の電位は点E の “1” データの電位と、 点H に対応す

る“0”データの電位の中間の電位となる。

【0226】

次に、図8に示す時刻 t_4 のタイミングでは、第1のセンスアンプ26により電位差が増幅されて第1のビット線BL1が電源電圧Vcc、第2のビット線BL2が接地電圧Vssとなる。これにより、第1のメモリセル11では、強誘電体キャパシタC1の第1電極にはVccが印加された状態となる。従って強誘電体キャパシタC1の分極電荷量が点Kから点Aまで曲線35の上を移動する。また、第2のリファレンスセル16では、強誘電体キャパシタC6が第2のビット線BL2から切り離されているため、分極電荷量は点Kの位置から移動しない。

【0227】

同様に、第2のセンスアンプ28により電位差が増幅されて第3のビット線BL3が接地電圧Vssに、第4のビット線BL4が電源電圧Vccになるため、第3のメモリセル13では強誘電体キャパシタC3は0Vのまま変化しないので分極電荷量は点Dの位置から移動せず、また、第4のリファレンスセル18では強誘電体キャパシタC8は第4のビット線BL4から切り離されているため、分極電荷量は点Dの位置から移動しない。

【0228】

続いて、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次活性化することにより、第2のリファレンスセル16においては強誘電体キャパシタC6の第1電極にリセットデータ信号RPDから電源電圧Vccが印加され、第4のリファレンスセル18においては強誘電体キャパシタC8の第1電極に接地電圧Vssが印加されるため、強誘電体キャパシタC6は0Vの状態から正電圧が印加された状態に変化するので分極電荷量は点Kから点Aまで曲線35の上を移動し、強誘電体キャパシタC8は0Vの状態のままであるので分極電荷量は点Dのまま移動しない。

【0229】

その後、図8に示す時刻 t_5 のタイミングよりも後に、リセットデータ信号RPD及び第2のリセット制御信号RPG2を順次非活性化することにより強誘電体キャパシタC6、C8の第1電極が0Vとなり、また、第2のリファレンスセ

ルプレート線RCP2を非活性化することにより、強誘電体キャパシタC6, C8の第2電極が0Vとなる。これにより、第2のリファレンスセル16では、強誘電体キャパシタC6が正電圧が印加された状態から0Vの状態に変化するため分極電荷量が点Aから点Cまで曲線31の上を移動し、第4のリファレンスセル18では強誘電体キャパシタC8は0Vの状態のままであるため、分極電荷量は点Dのまま変化しない。

【0230】

ここで、第5の実施形態に係る強誘電体記憶装置の読み出し動作に伴う強誘電体キャパシタの分極電荷量の移動は、メモリセルとリファレンスセルとで同じ移動経路となり、“1”データを保持するメモリセル及びリファレンスセルでは強誘電体キャパシタの分極電荷量が点Cから点E、点K、点A、点Cの順に移動し、“0”データを保持するメモリセル及びリファレンスセルでは強誘電体キャパシタの分極電荷量が点Dから点H、点B、点Dの順に移動する。従って、本実施形態の強誘電体記憶装置の分極反転量は、図3に示す点Cと点Eとの間の電荷量QSW2となり、第1の実施形態の分極反転量QSW1よりも小さくなる。

【0231】

このように、第5の実施形態の強誘電体記憶装置によると、第1の実施形態よりも分極反転量を小さくすることができ、強誘電体記憶装置の書き換え回数特性をより向上することが可能である。

【0232】

また、リファレンスセルのそれぞれから“1”データ及び“0”データをビット線に出力した後にスイッチ制御信号を活性化することにより、強誘電体キャパシタの容量がビット線に付加されない状態でビット線がイコライズされるため、V1とV2とがほぼ等しい高精度のリファレンスレベルを発生することができる。

【0233】

【発明の効果】

本発明の強誘電体記憶装置によると、リファレンスセルを用いて基準電位を生成する際に、リファレンスセルと該リファレンスセルと接続されたビット線とを



切り離す動作をセンスアンプの駆動開始よりも前に行うことにより、センスアンプの駆動中にリファレンスセルを構成する強誘電体キャパシタの分極電荷量が変化しないため、メモリセルの読み出し動作におけるリファレンスセルの反転分極量を小さくして強誘電体記憶装置の書き換え回数特性を向上することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る強誘電体記憶装置を示す回路図である。

【図2】

本発明の第1の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示す図である。

【図3】

本発明の第1の実施形態に係る強誘電体記憶装置における強誘電体キャパシタのヒステリシス特性を示すグラフである。

【図4】

本発明の第1の実施形態の一変形例に係る強誘電体記憶装置の読み出し動作における動作タイミングを示す図である。

【図5】

本発明の第2の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示す図である。

【図6】

本発明の第3の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示す図である。

【図7】

本発明の第4の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示す図である。

【図8】

本発明の第5の実施形態に係る強誘電体記憶装置の読み出し動作における動作タイミングを示す図である。

【図9】

従来の強誘電体記憶装置を示す回路図である。

【図10】

従来の強誘電体記憶装置の読み出し動作における動作タイミングを示す図である。

【図11】

従来の強誘電体記憶装置の強誘電体キャパシタのヒステリシス特性を示すグラフである。

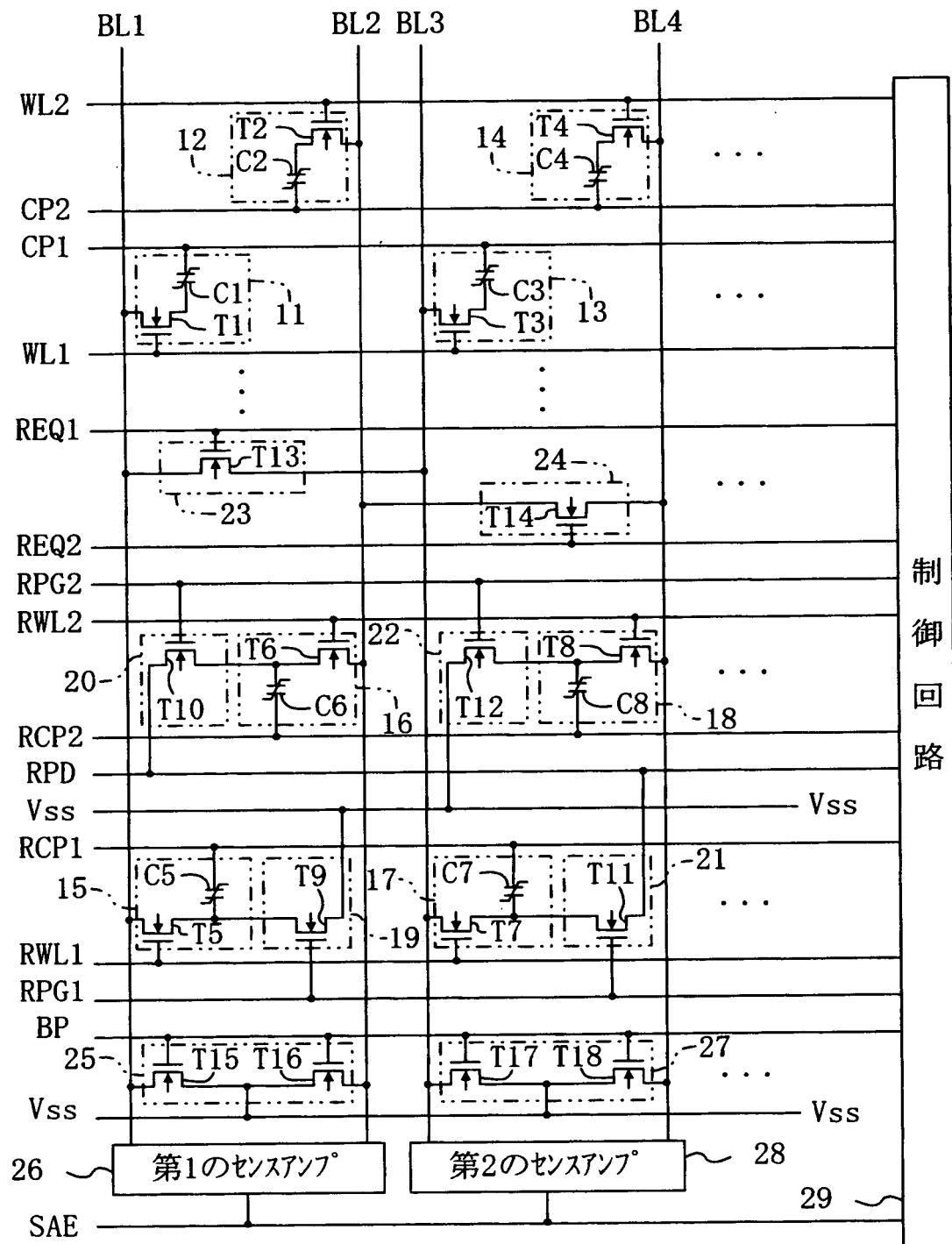
【符号の説明】

- 1 1 第1のメモリセル
- 1 2 第2のメモリセル
- 1 3 第3のメモリセル (第1のメモリセル)
- 1 4 第4のメモリセル (第2のメモリセル)
- 1 5 第1のリファレンスセル
- 1 6 第2のリファレンスセル
- 1 7 第3のリファレンスセル (第1のリファレンスセル)
- 1 8 第4のリファレンスセル (第2のリファレンスセル)
- 1 9 第1のリセット回路
- 2 0 第2のリセット回路
- 2 1 第3のリセット回路
- 2 2 第4のリセット回路
- 2 3 第1のスイッチ回路
- 2 4 第2のスイッチ回路
- 2 5 第1のプリチャージ回路
- 2 6 第1のセンスアンプ
- 2 7 第2のプリチャージ回路
- 2 8 第2のセンスアンプ
- 2 9 制御回路
- 3 1 曲線
- 3 2 曲線

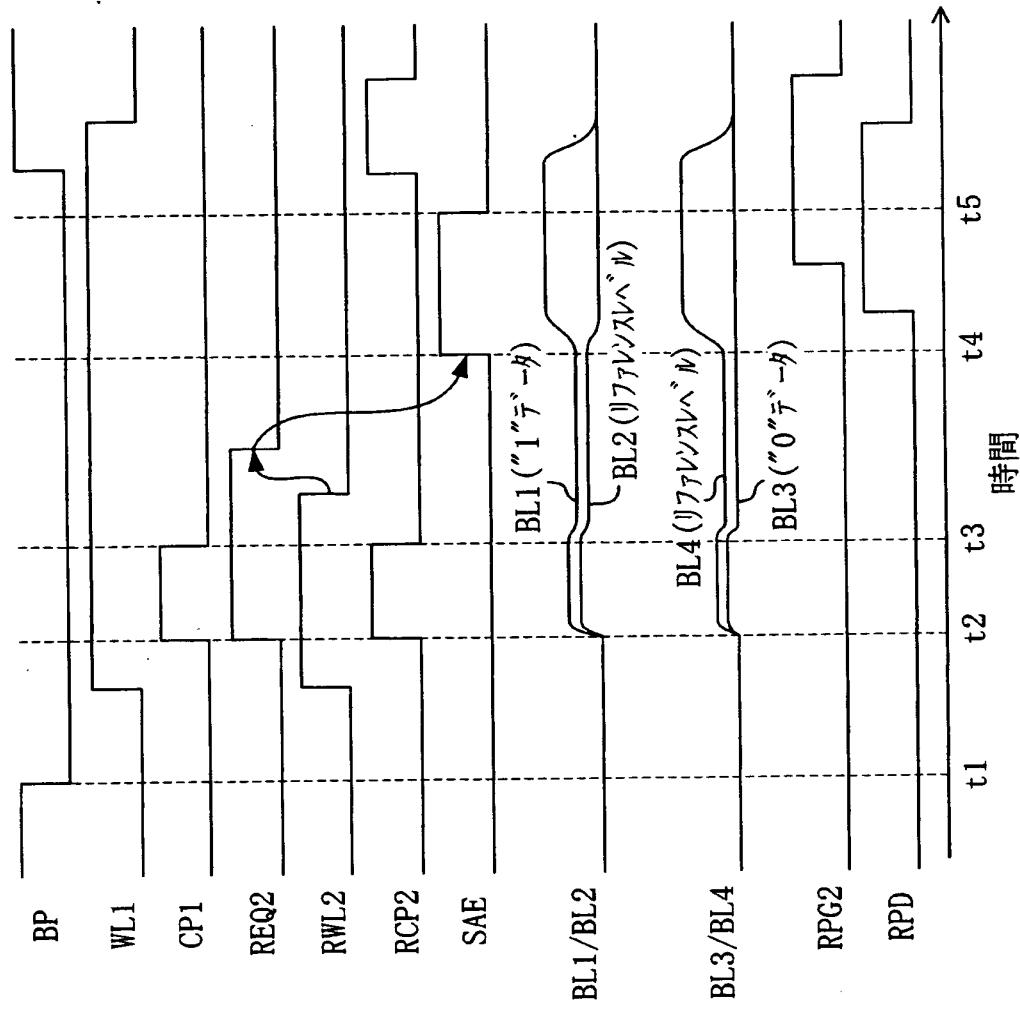
| | |
|---------|-------------------|
| 3 3 | 容量負荷線 |
| 3 4 | 容量負荷線 |
| 3 5 | 曲線 |
| 3 6 | 曲線 |
| 3 7 | 曲線 |
| B L 1 | 第1のビット線 |
| B L 2 | 第2のビット線 |
| B L 3 | 第3のビット線 (第1のビット線) |
| B L 4 | 第4のビット線 (第2のビット線) |
| W L 1 | 第1のワード線 |
| W L 2 | 第2のワード線 |
| C P 1 | 第1のセルプレート線 |
| C P 2 | 第2のセルプレート線 |
| R W L 1 | 第1のリファレンスワード線 |
| R W L 2 | 第2のリファレンスワード線 |
| R C P 1 | 第1のリファレンスセルプレート線 |
| R C P 2 | 第2のリファレンスセルプレート線 |
| R P G 1 | 第1のリセット制御信号 |
| R P G 2 | 第2のリセット制御信号 |
| R E Q 1 | 第1のスイッチ制御信号 |
| R E Q 2 | 第2のスイッチ制御信号 |
| R P D | リセットデータ信号 |
| B P | ビット線プリチャージ信号 |
| S A E | センスアンプ起動信号 |
| T | トランジスタ |
| C | 強誘電体キャパシタ |

【書類名】 図面

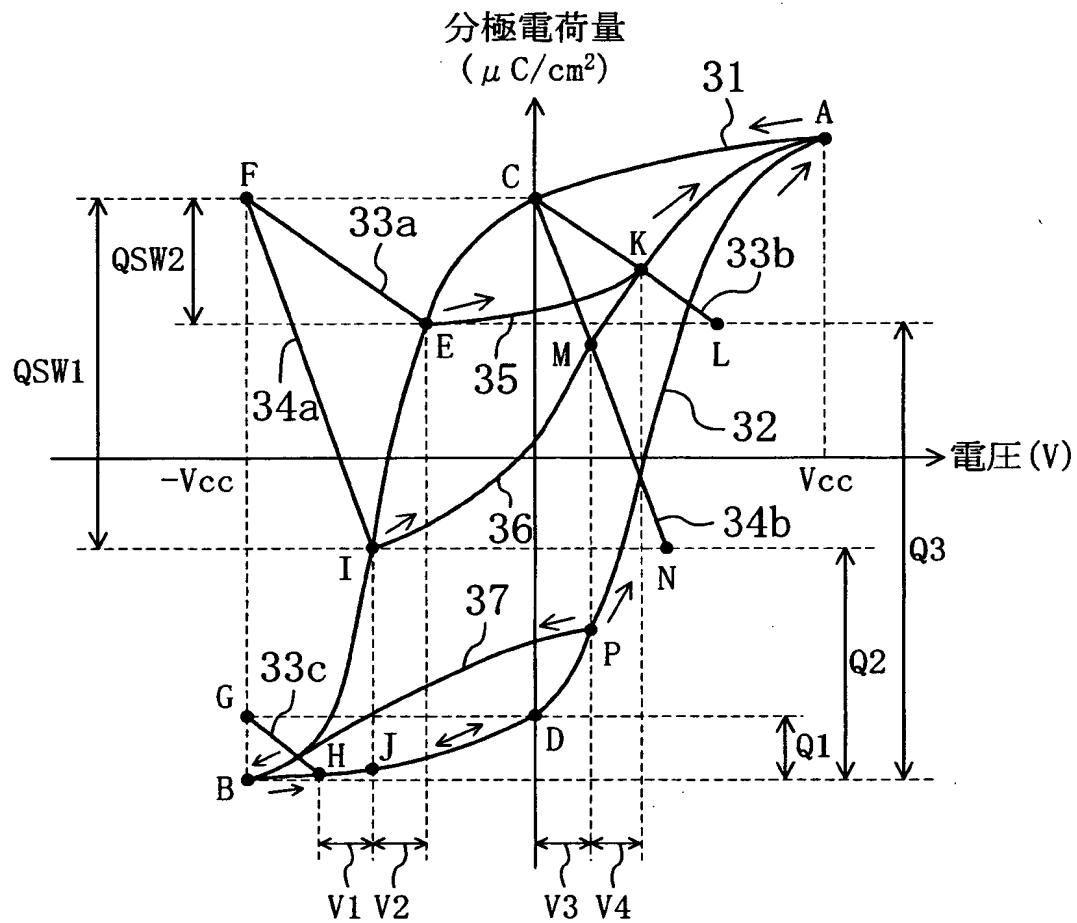
【図1】



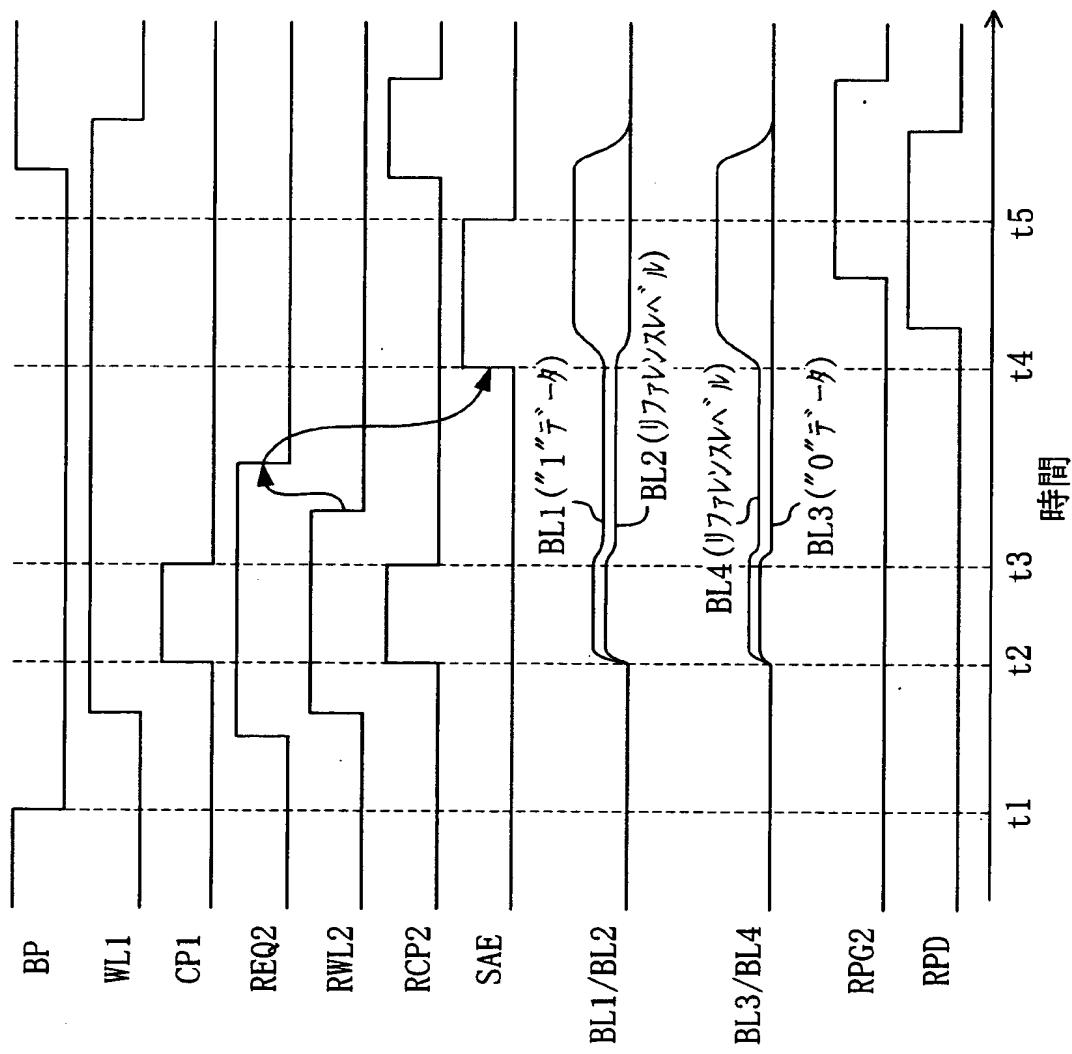
【図2】



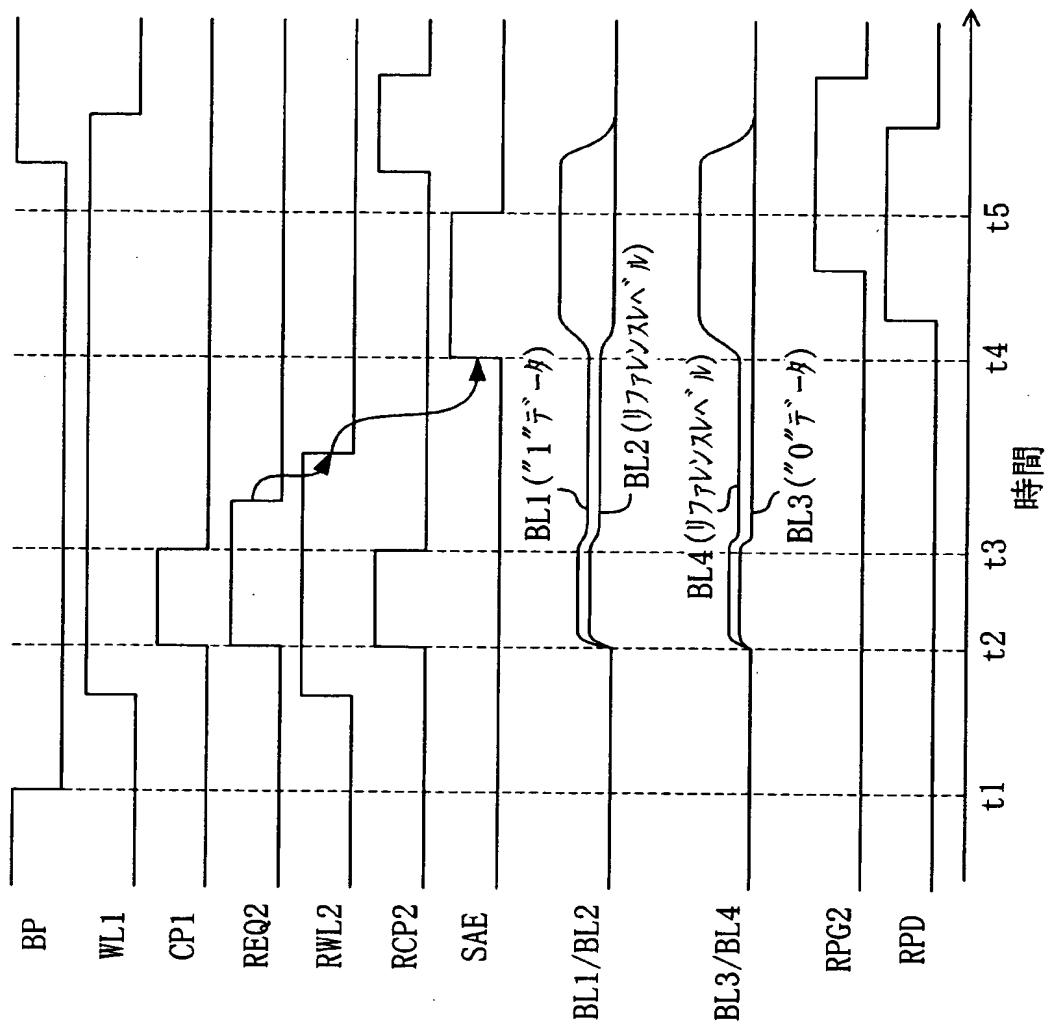
【図3】



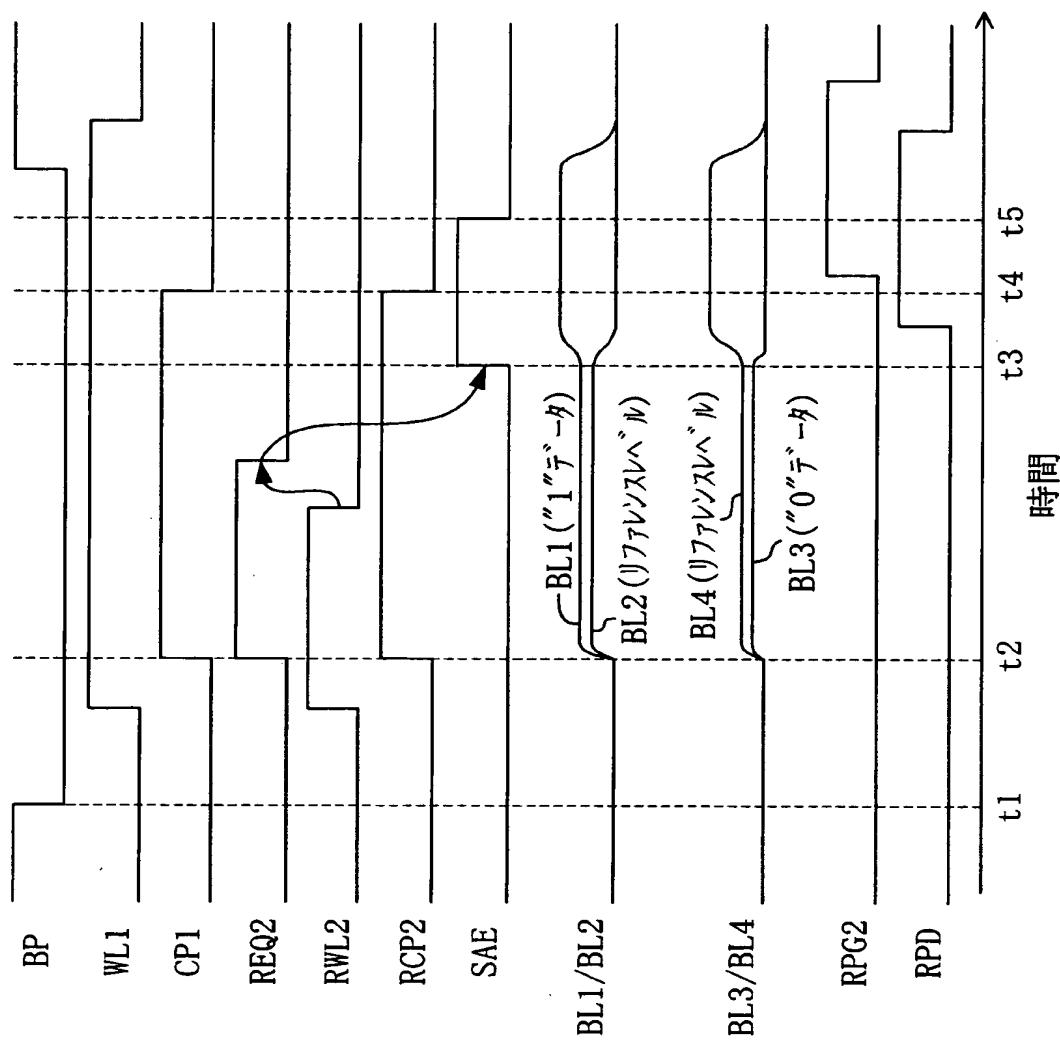
【図4】



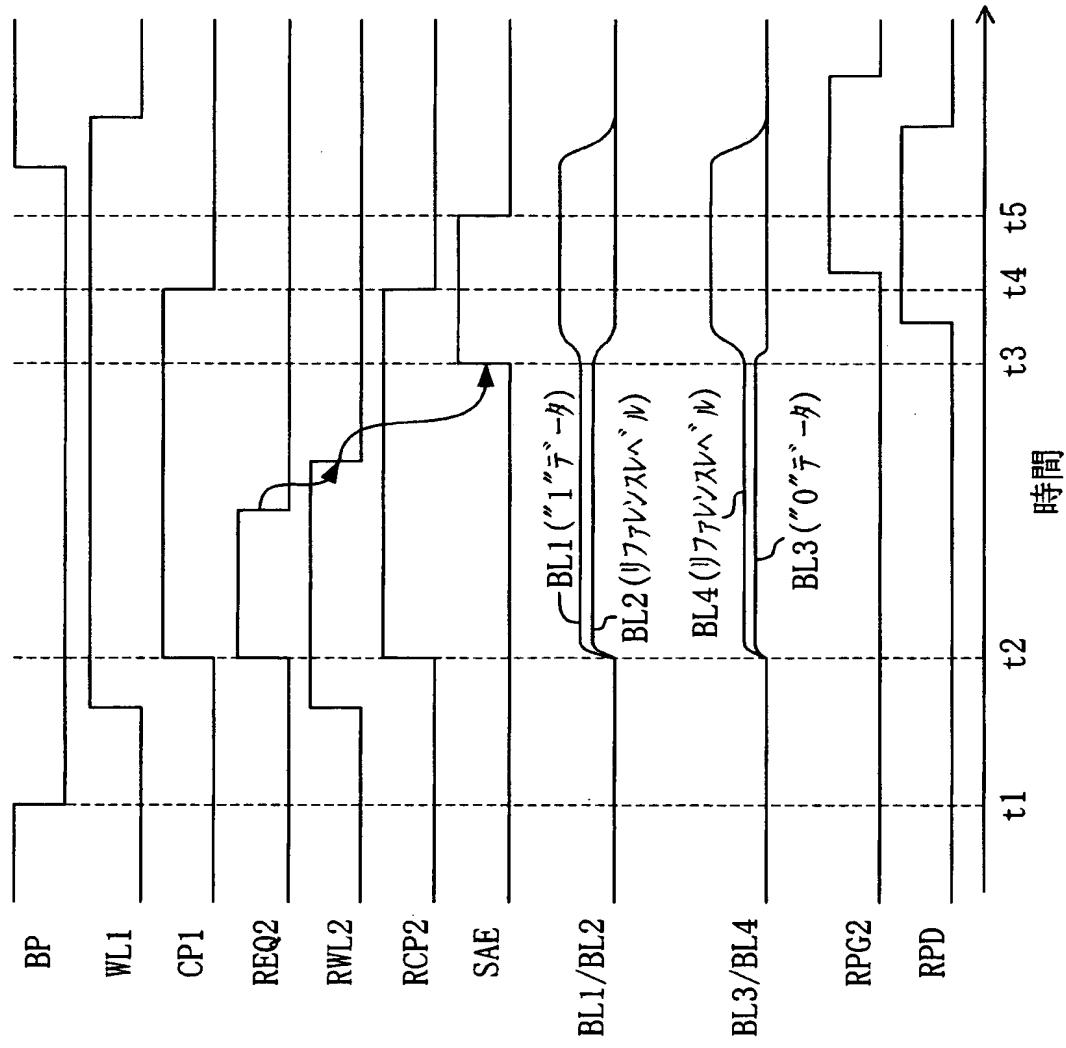
【図5】



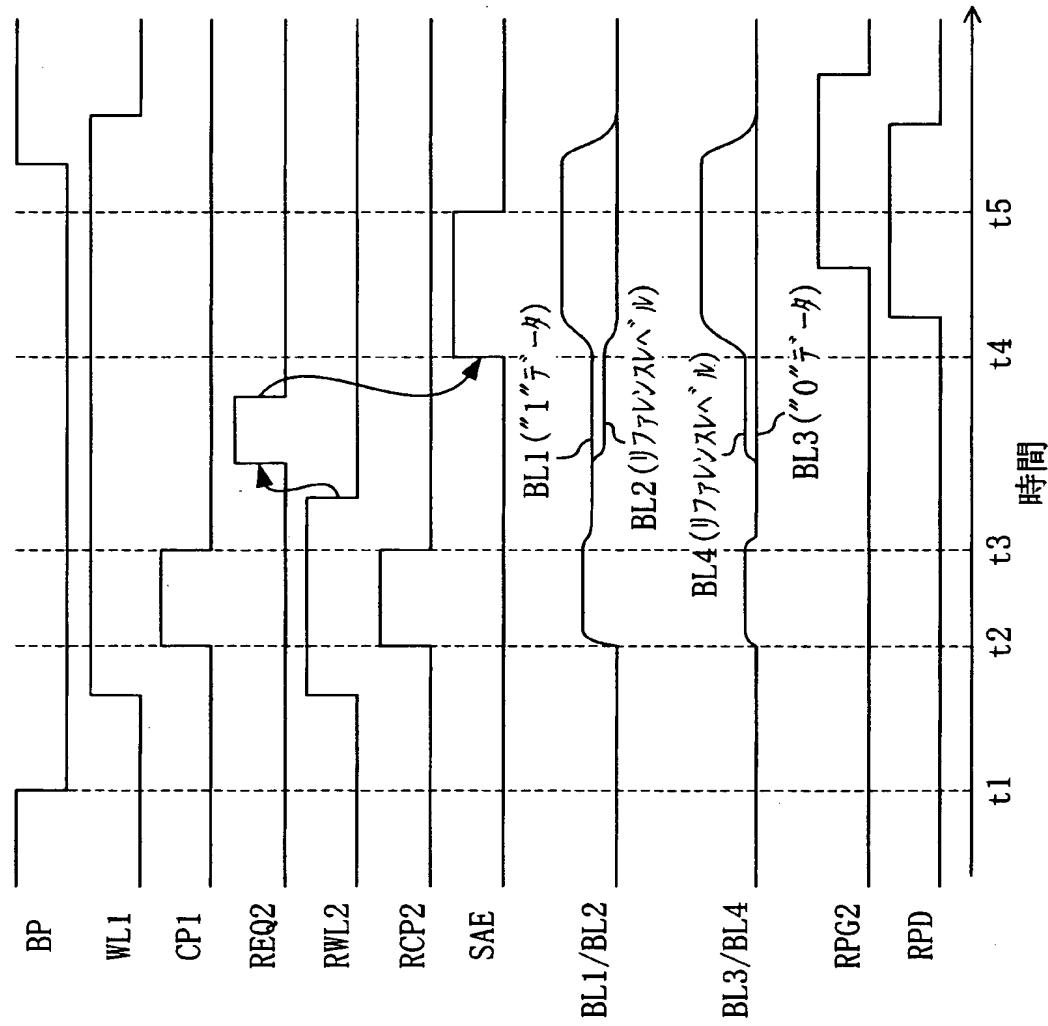
【図6】



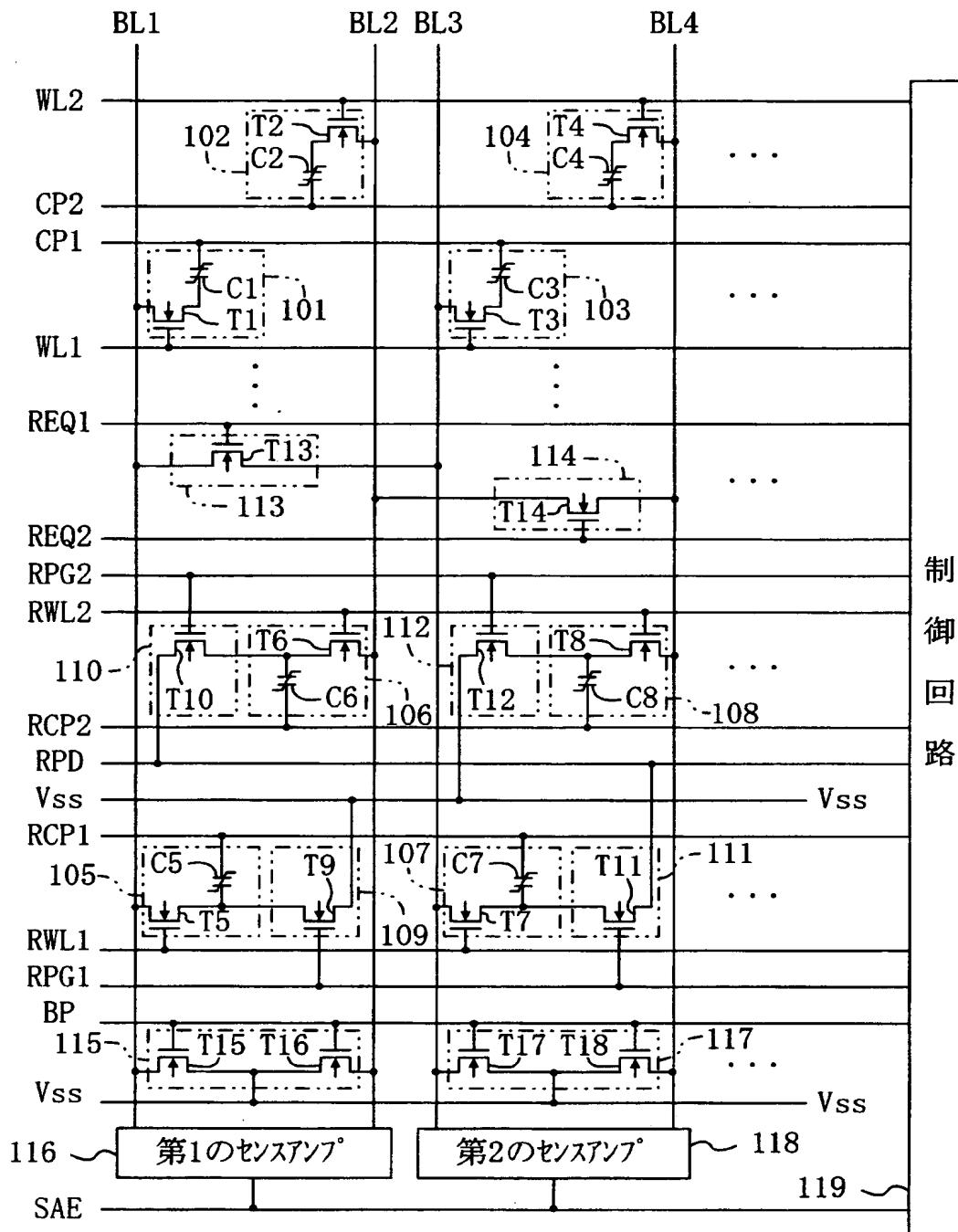
【図7】



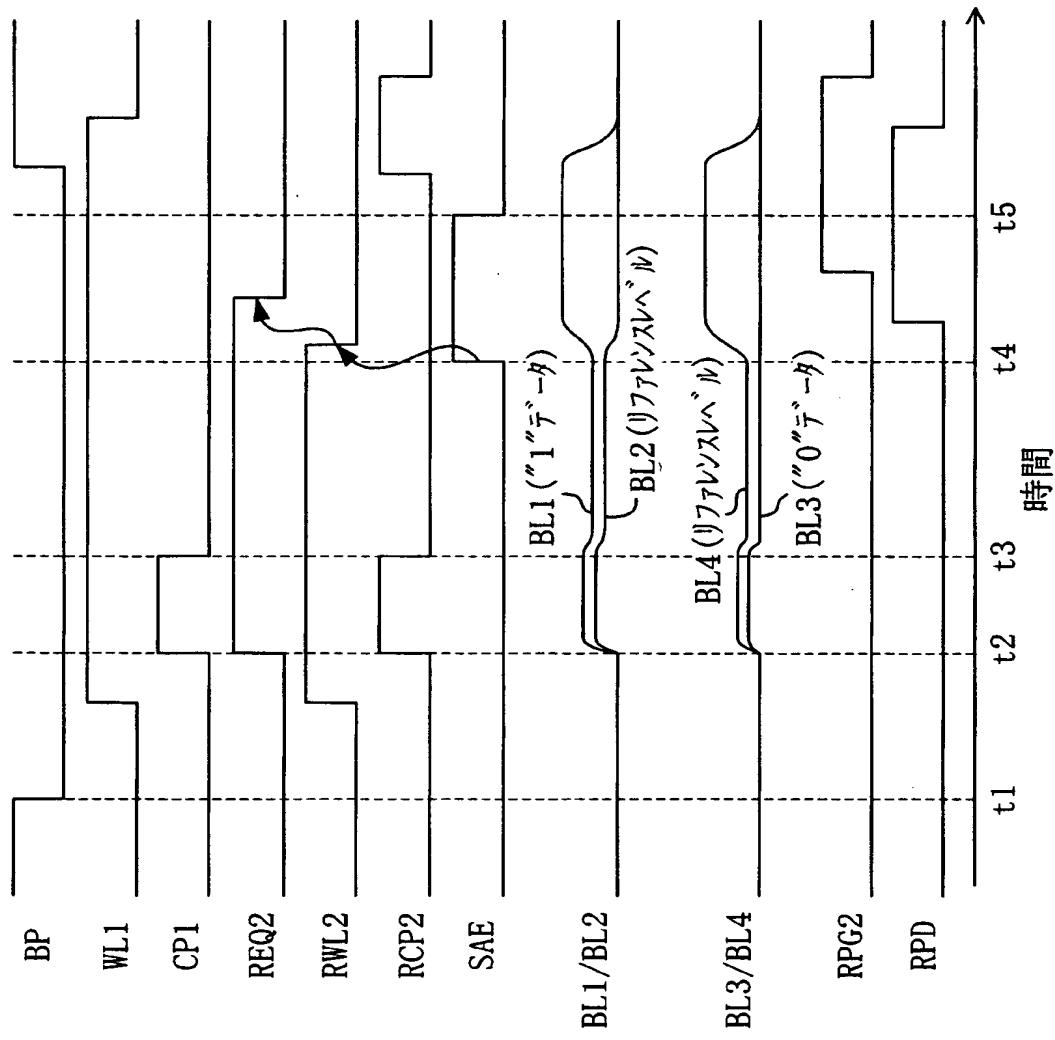
【図8】



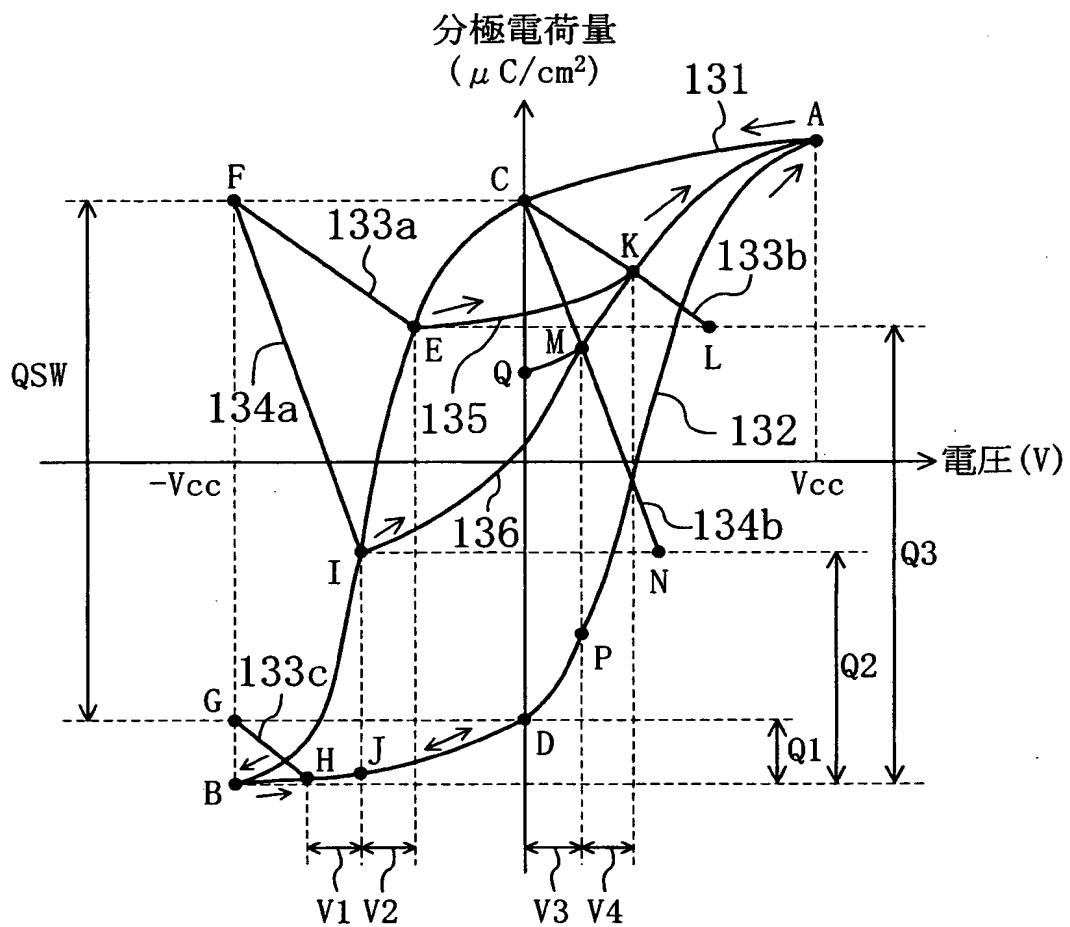
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 リファレンスセルを用いて基準電位を生成する強誘電体記憶装置において、リファレンスセルの読み出し動作における分極反転量を小さくして書き換え回数特性を向上できるようにする。

【解決手段】 まず、ワード線WL1及びセルプレート線CP1を活性化して第1のビット線BL1にメモリセルのデータを出力すると共に、スイッチ制御信号REQ2、リファレンスワード線RWL2及びリファレンスセルプレート線RCP2を活性化して第2のビット線BL2にリファレンス用の電位を生成する。次に、スイッチ制御信号REQ2及びリファレンスワード線RWL2を非活性化した後に、センスアンプ起動信号SAEを活性化する。

【選択図】 図2

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社